

數位邏輯

第6章布林代數化簡

6-1 布林代數與邏輯電路組合

6-2 第摩根定理的互換

6-3 積項和式之組合邏輯

6-4 和項積式之組合邏輯

6-5 應用實例



SINCE 1997

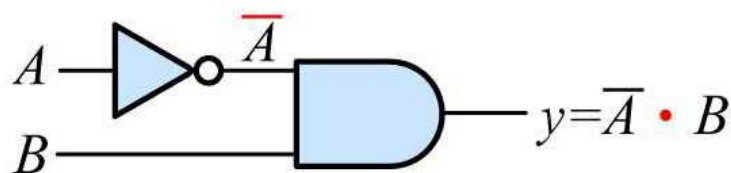
勁園文化事業股份有限公司
台科大圖書股份有限公司

6-1

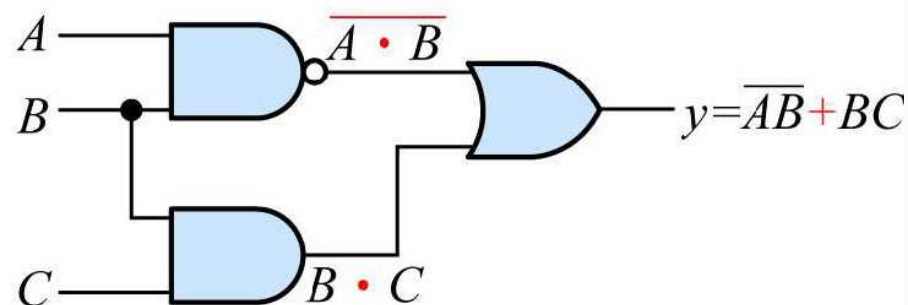
布林代數與邏輯電路組合

電路組合順序與一般代數運算類似：

1. 變數自身的補數第一優先。
2. 補數底下的邏輯運算或括號內的邏輯運算其次。
3. 先及（AND）最後才或（OR）運算。



$y = \overline{A}B$ 的組合



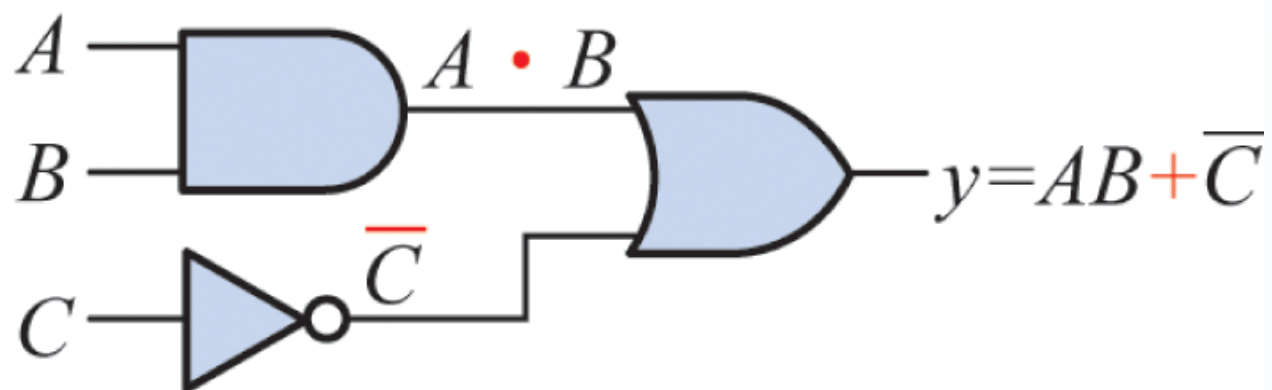
$y = \overline{A}B + BC$ 的組合



6-2

第摩根定理的互換

$y = AB + \bar{C}$ 的電路一

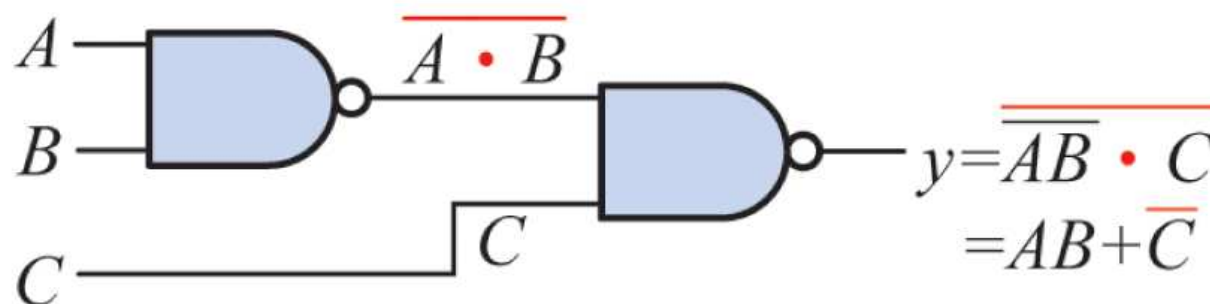


6-2

第摩根定理的互換

$$\begin{aligned}
 y &= AB + \bar{C} \\
 &= \overline{\overline{AB + \bar{C}}} \\
 &= \overline{\overline{AB} \cdot \overline{\bar{C}}} \\
 &= \overline{\overline{AB} \cdot C}
 \end{aligned}$$

$y = AB + \bar{C}$ 的電路二

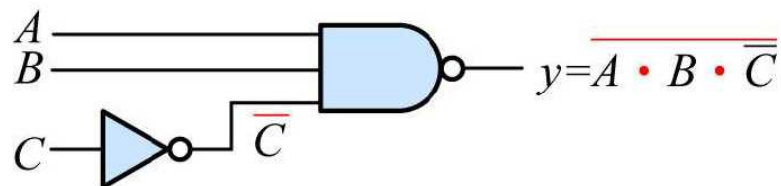
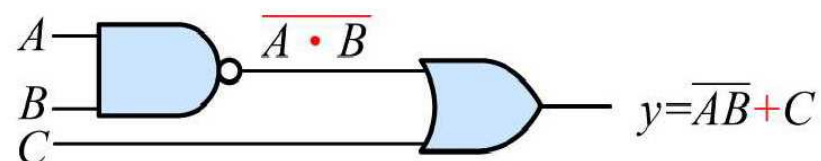
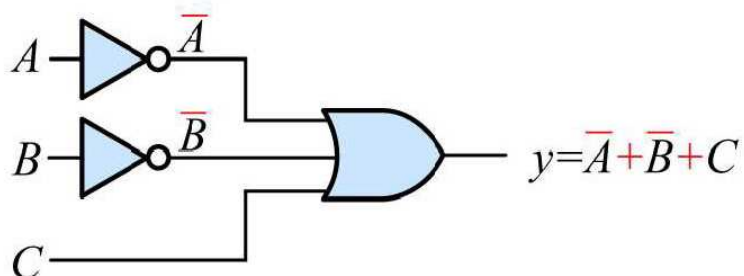


6-2

第摩根定理的互換

試繪出 $y = \bar{A} + \bar{B} + C$ 的邏輯電路。

解 由 $y = \bar{A} + \bar{B} + C = \overline{A \cdot B} + C = \overline{A \cdot B \cdot \bar{C}}$
故可分別組得三個電路，如圖所示。



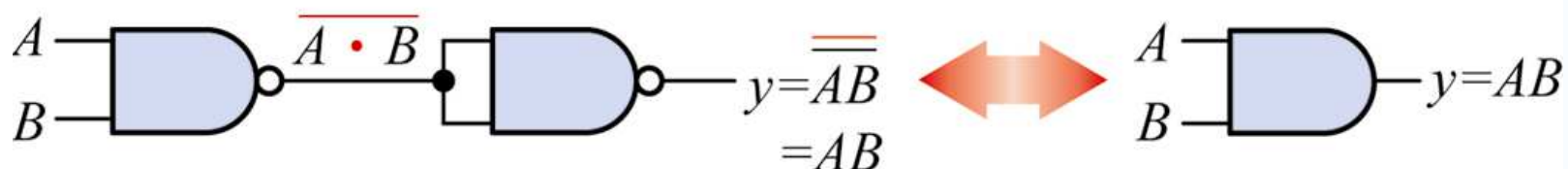
6-2

第摩根定理的互換

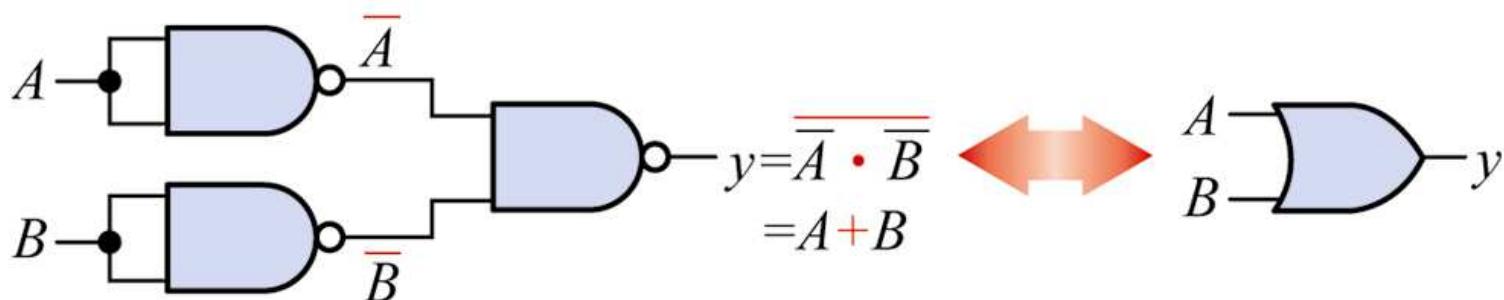
以NAND gate來取代NOT、AND、OR。

解：1.欲以反及閘來取代其它邏輯閘的要領，就是利用第摩根定理將邏輯閘中的“或”運算以“及”運算來取代。

由 NOT gate 的布林代數式 $y = \overline{A} = \overline{A \cdot A}$



由 NOT gate 的布林代數式 $y = \overline{A} = \overline{A \cdot 1}$

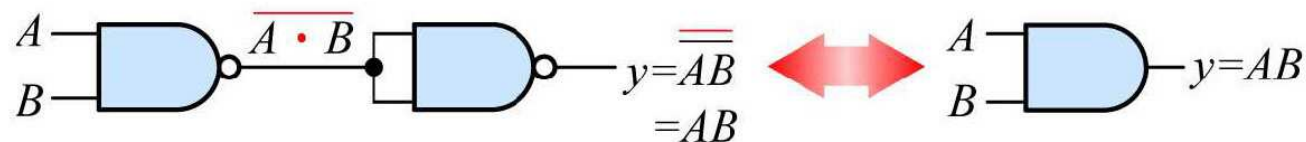


6-2

第摩根定理的互換

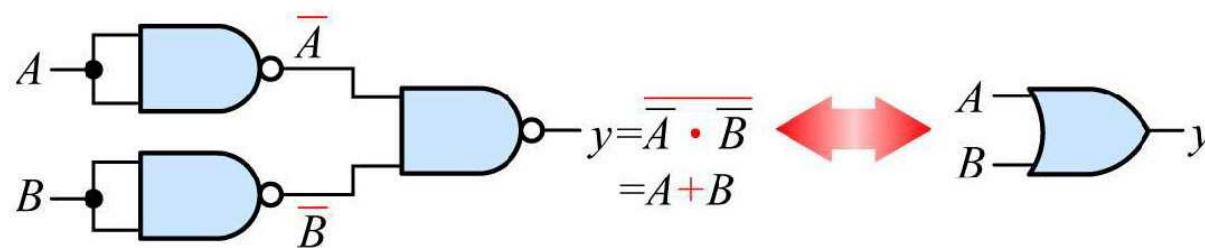
(2) 及閘 (AND gate) 的布林代數式 $y = AB$

$$\text{由 } y = AB = \overline{\overline{AB}}$$



(3) 或閘 (OR gate) 的布林代數式 $y = A + B$

$$\text{由 } y = A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$



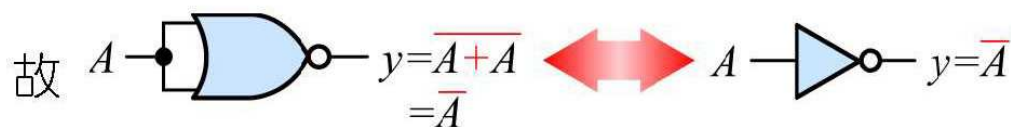
6-2

第摩根定理的互換

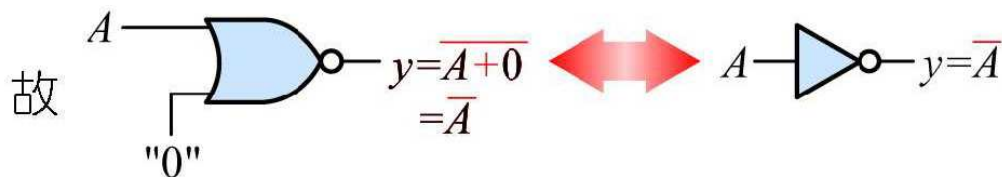
請以NOR gate來取代NOT、OR、AND

解 用 NOR gate 來取代其它邏輯閘的要領，就是將邏輯閘中的“及”運算用第
摩根定理予以轉成“或”運算。

(1)①由反相閘（NOT gate）的布林代數 $y = \bar{A} = \overline{A + A}$



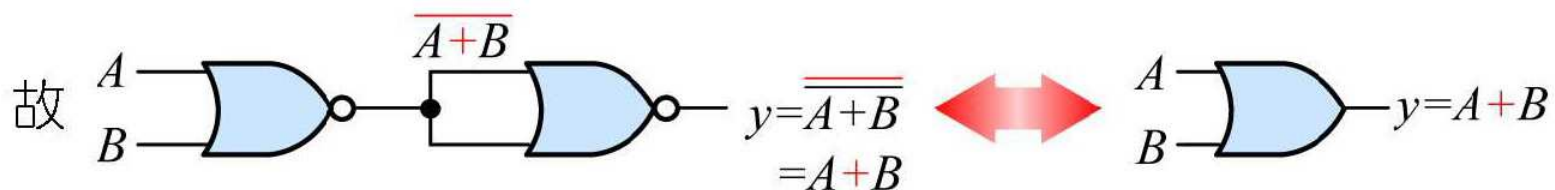
②由 $y = \bar{A} = \overline{A + 0}$



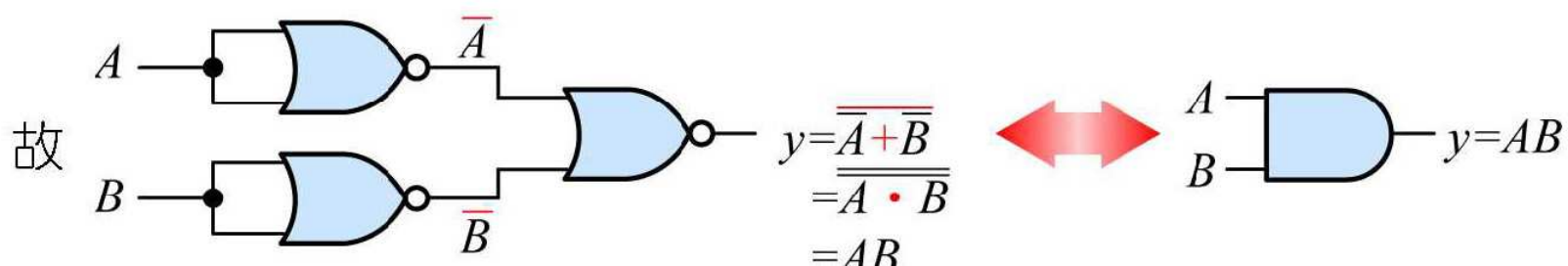
6-2

第摩根定理的互換

(2)或閘 (OR gate) 的布林代數 $y = A + B = \overline{\overline{A + B}}$



(3)及閘 (AND gate) 的布林代數 $y = A \cdot B = \overline{\overline{A \cdot B}} = \overline{\overline{A} + \overline{B}}$

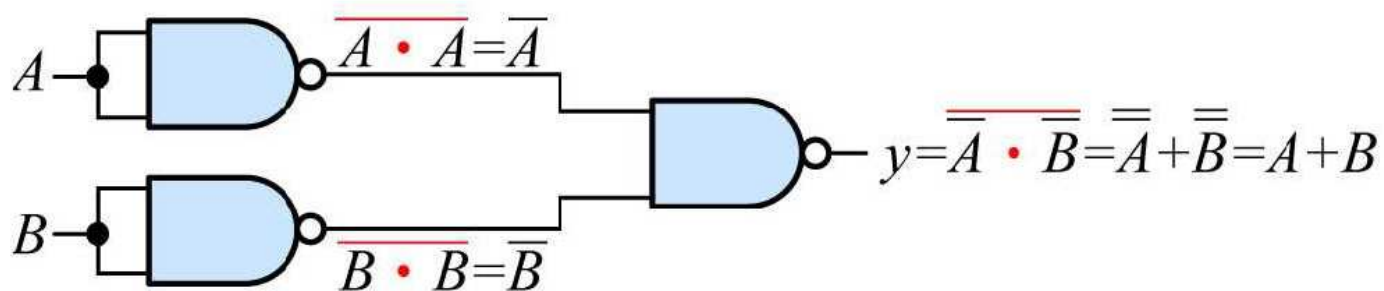


6-2

第摩根定理的互換

如圖所示電路，請寫出其輸出的布林代數。

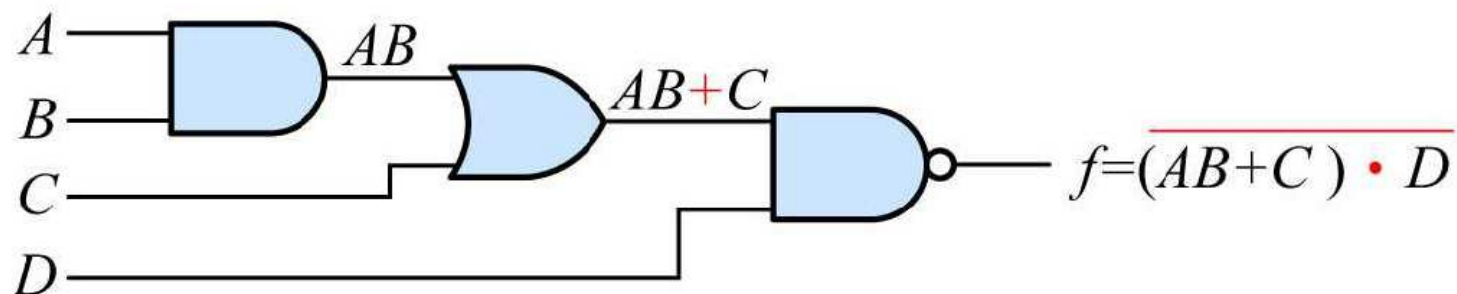
解：依圖由各輸入端逐級寫出各閘輸出的布林代數（可簡化者，可先予簡化），直到最終輸出即可；詳如圖所示。



6-2

第摩根定理的互換

(2) 依圖逐級寫出各閘的布林代數，可得：

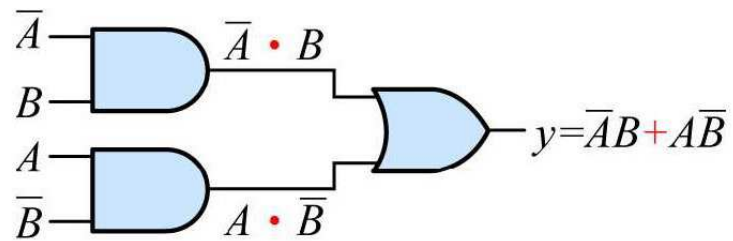


$$\begin{aligned} f &= \overline{(AB + C) \cdot D} = \overline{AB + C} + \overline{D} = \overline{AB} \cdot \overline{C} + \overline{D} = (\overline{A} + \overline{B})\overline{C} + \overline{D} \\ &= \overline{A}\overline{C} + \overline{B}\overline{C} + \overline{D} \end{aligned}$$

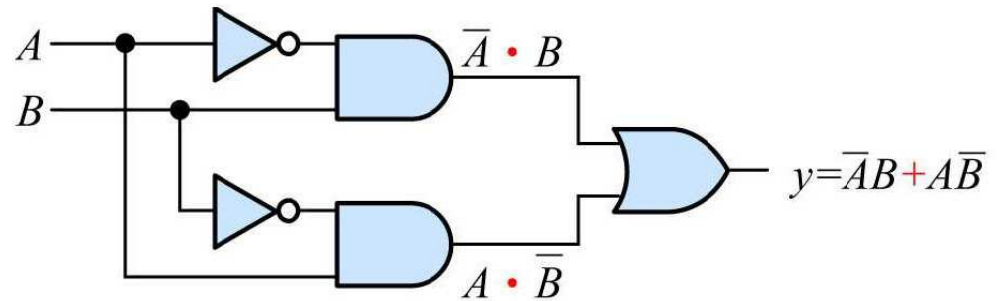


6-3 積項和式之組合邏輯

積項和式是一種AND-OR網路（AND-OR network）。



(a)



(b)

$y = \bar{A}B + A\bar{B}$ 的組合電路

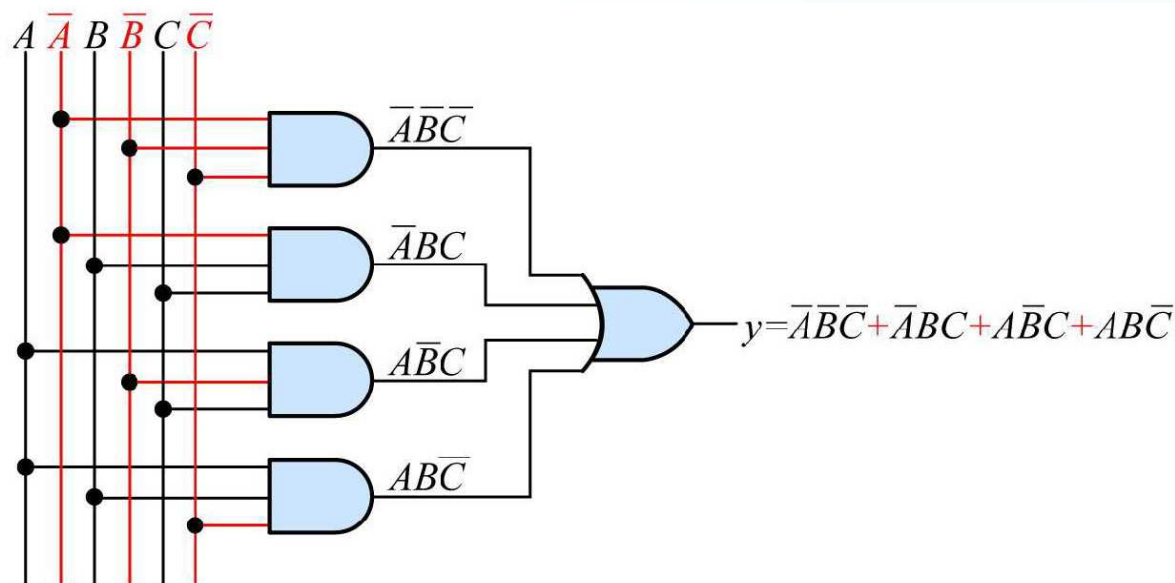


6-3

積項和式之組合邏輯

試完成 $y = \overline{A}BC + A\overline{B}C + ABC + A\overline{B}\overline{C}$ 的組合邏輯電路。

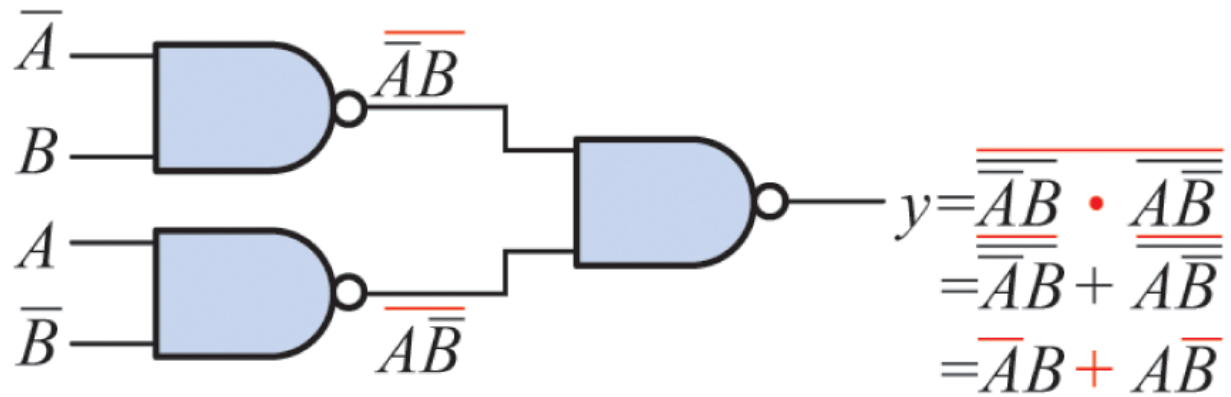
解：原式為積項和式，故可用AND-OR之雙層結構來完成；詳如下圖所示。



6-3 積項和式之組合邏輯

積項和式以NAND-NAND結構來實踐

$$\begin{aligned}y &= \overline{A}B + A\overline{B} \\ &= \overline{\overline{\overline{A}B} + \overline{A\overline{B}}} \\ &= \overline{\overline{A}B} \cdot \overline{A\overline{B}}\end{aligned}$$



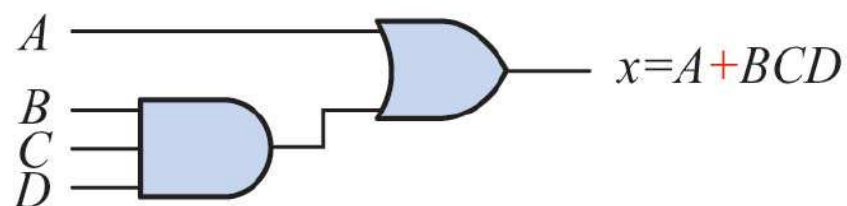
$y = \overline{A}B + A\overline{B}$ 的電路結構



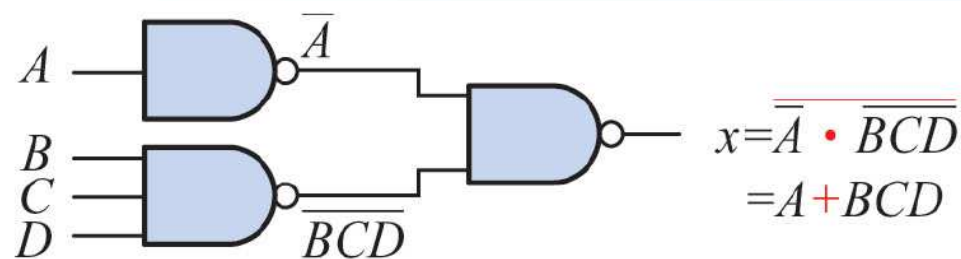
6-3

積項和式之組合邏輯

將AND-OR轉換成NAND-NAND結構



(a) AND-OR 電路



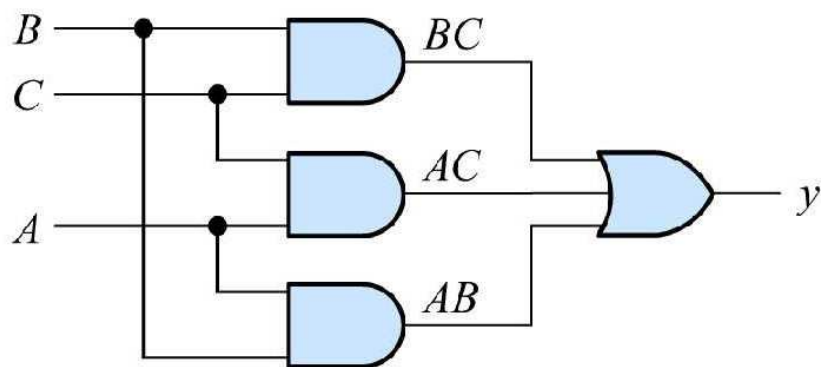
(b) NAND-NAND 電路



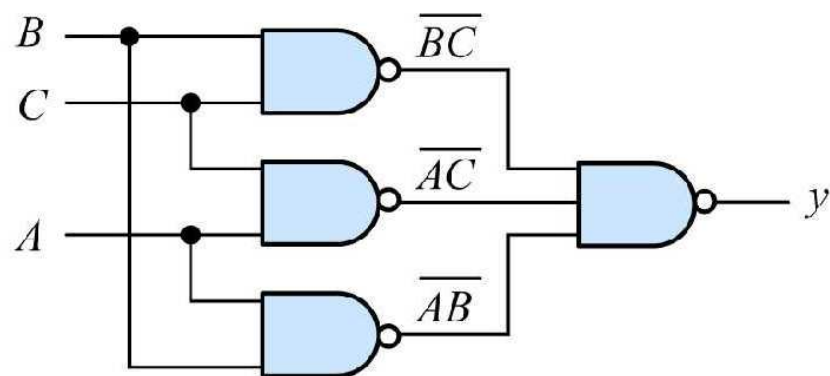
6-3

積項和式之組合邏輯

請設計一NAND-NAND網路，使具輸出 $y=C(B+A) + AB$ 的功能。



(a) $y = BC + AC + AB$ 的 AND-OR 電路



(b) $y = BC + AC + AB$ 的 NAND-NAND 電路

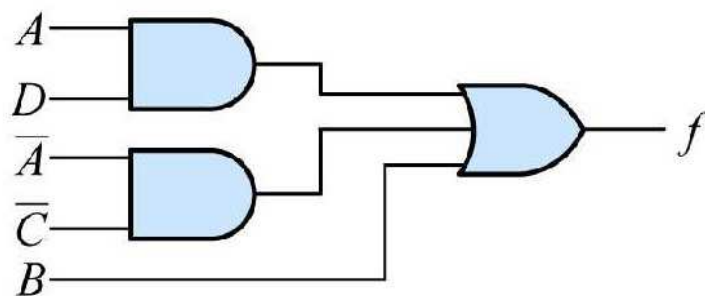
$y = BC + AC + AB$ 結構圖



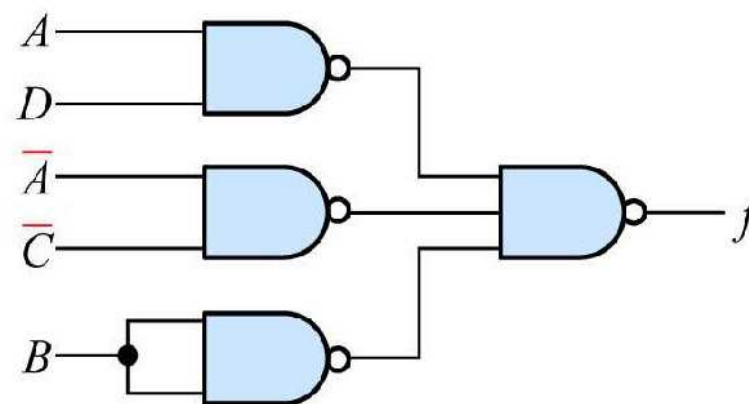
6-3

積項和式之組合邏輯

試完成 $f = B + AD + \overline{A}\overline{C}D + A\overline{C}D$ 的電路設計。



(a) AND-OR 電路



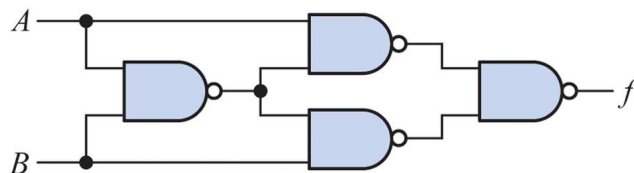
(b) NAND-NAND 電路



6-3

積項和式之組合邏輯

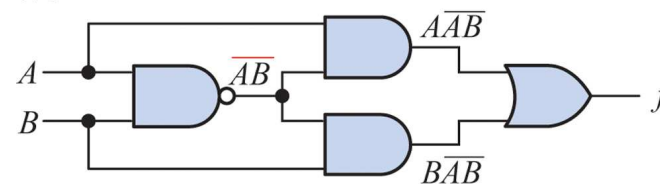
如圖所示電路中，輸出 f 的布林函數為何？其相當於何種邏輯閘？



解 (1)由 NAND-NAND 結構相當於 AND-OR 結構，故可將原圖改成圖(a)，再依圖逐級寫出各閘之布林代數式得

$$\begin{aligned} f &= \overline{A\overline{A}B} + \overline{B\overline{A}\overline{B}} \\ &= A(\overline{A} + \overline{B}) + B(\overline{A} + \overline{B}) \\ &= \overline{A}B + A\overline{B} \end{aligned}$$

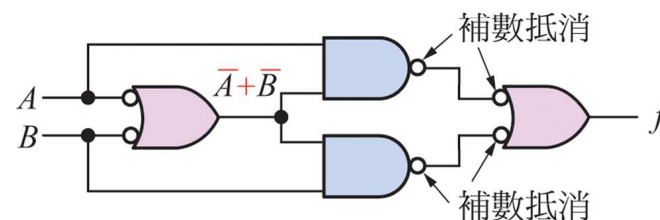
故為互斥或閘 (XOR)



圖(a)

(2)由輸出往回算，依第摩根定理將奇數層的反及閘改成為具補數相加的或閘再求解，如圖(b)。

$$\begin{aligned} f &= A(\overline{A} + \overline{B}) + B(\overline{A} + \overline{B}) \\ &= \overline{A}\overline{A} + \overline{A}B + \overline{A}\overline{B} + B\overline{A} + B\overline{B} \\ &= 0 + \overline{A}B + \overline{A}\overline{B} + 0 \\ &= \overline{A}B + \overline{A}\overline{B} \end{aligned}$$

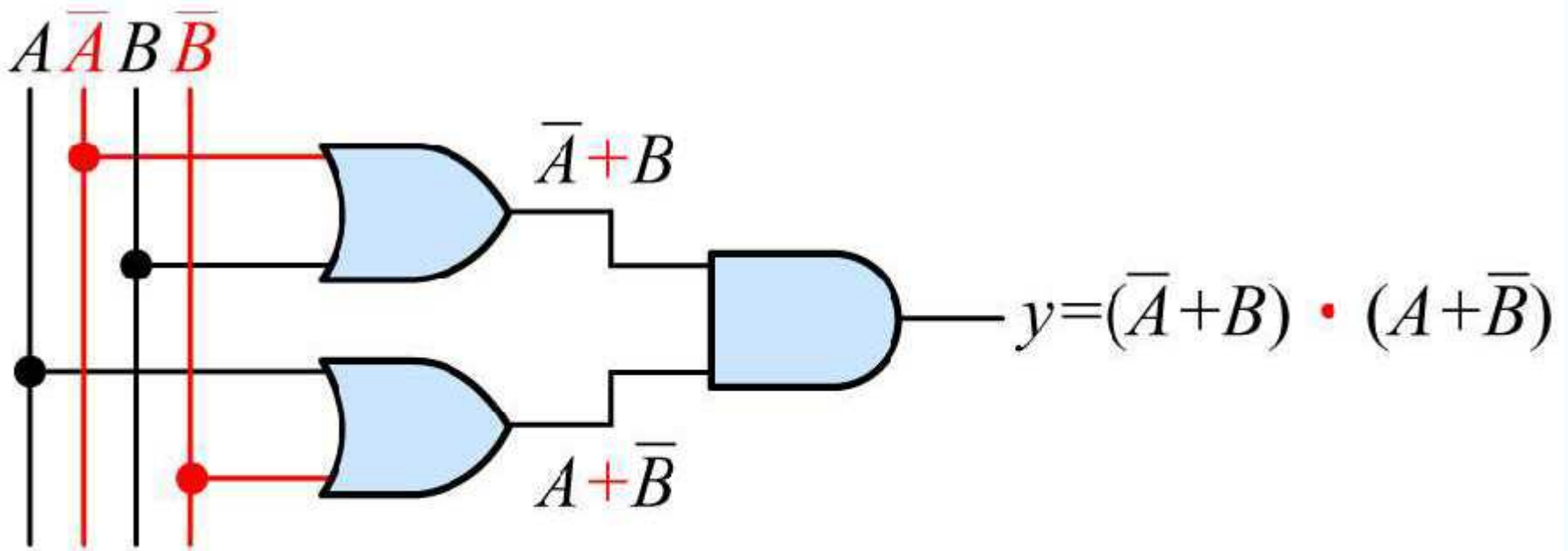


圖(b)



6-4 和項積式之組合邏輯

和項積式其電路是OR-AND的雙層結構



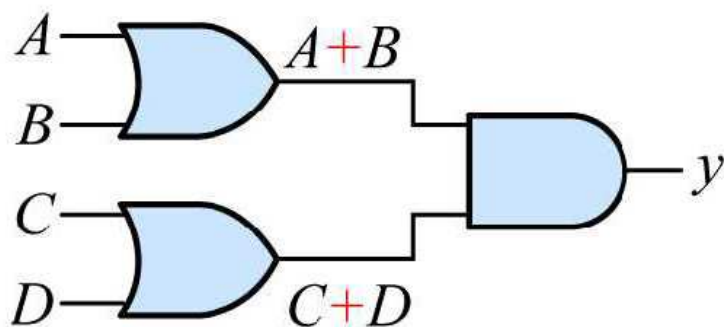
$y = (\bar{A} + B)(A + \bar{B})$ 的組合電路



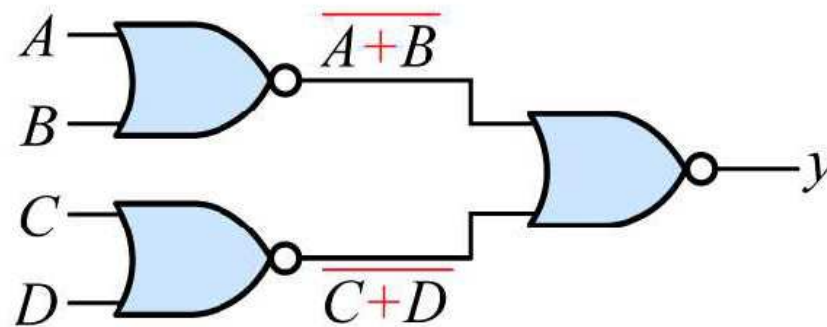
6-4

和項積式之組合邏輯

OR-AND 電路轉換成 NOR-NOR，只要將原電路的 OR 閘與 AND 閘同時改換成 NOR 閘即可。



(a) $y = (A + B)(C + D)$



(b) $y = \overline{\overline{A + B} + \overline{C + D}}$

$y = (A + B)(C + D)$ 的兩種組合電路



6-4

和項積式之組合邏輯

試以 NOR-NOR 結構電路完成下列布林代數之功能。

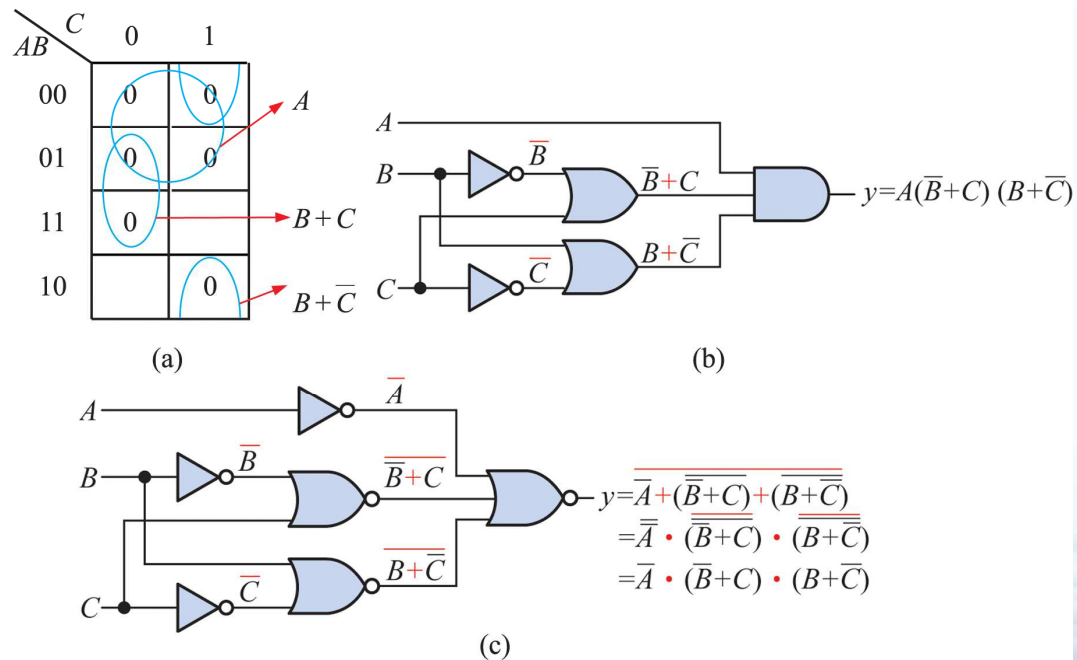
$$y = (A+B+C)(A+B+\bar{C})(A+\bar{B}+C)(A+\bar{B}+\bar{C})$$

$$(\bar{A}+B+\bar{C})(\bar{A}+\bar{B}+C)$$

解 將原式繪成卡諾圖化簡，詳如圖(a)所示。

得 $y = A(\bar{B}+C)(B+\bar{C})$

故可繪得圖(b)所示之 OR-AND 結構電路，再用 NOR 閘取代所有 OR 閘與 AND 閘，就可獲得圖(c)的 NOR-NOR 結構電路。



6-4

和項積式之組合邏輯

如圖 6-18 所示電路，相當於何種邏輯閘？

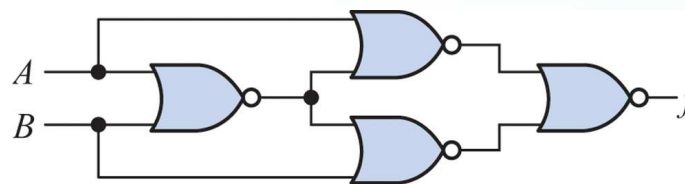


圖 6-18

解 (1)由於 NOR-NOR 結構相當於 OR-AND，故原圖可改畫成

圖 6-19，再依圖所示逐級寫出各閘之布林代數式，得

$$\begin{aligned} f &= (A + \overline{A+B})(B + \overline{A+B}) \\ &= (A + \overline{A}\overline{B})(B + \overline{A}\overline{B}) \\ &= (A + \overline{B})(B + \overline{A}) \\ &= AB + \overline{A}\overline{B} \end{aligned}$$

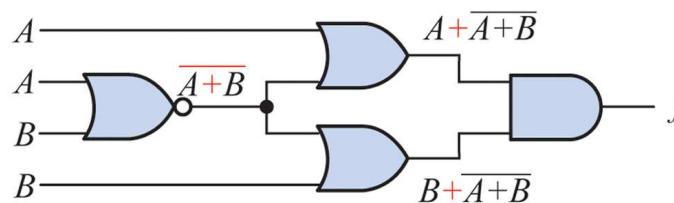


圖 6-19

故相當於互斥反或閘。

(2)將奇數層反或閘改成具補數輸入的及閘再求解，如圖 6-20。

$$\begin{aligned} f &= (A + \overline{A}\overline{B})(B + \overline{A}\overline{B}) \\ &= (A + \overline{B})(B + \overline{A}) \\ &= AB + \overline{A}\overline{B} \end{aligned}$$

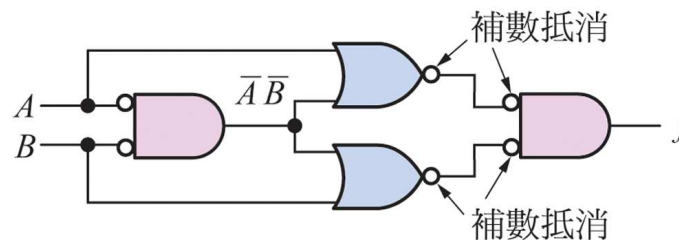


圖 6-20



6-5

應用實例

組合邏輯設計步驟重列如下：

1. 條列輸入條件與輸出關係
2. 設定變數
3. 填列真值表與卡諾圖
4. 布林代數化簡
5. 依據布林代數式組合電路

某單位主管與三位助理對提案表決的規定是，若主管贊成，則只要有一位助理以上（含一位）贊成，提案即可通過；若主管不贊成，則需三位助理都贊成，提案才能通過；請設計一組表決器，以供該單位表決之用。

解

- (1) 設 f 表提案，若 $f = 1$ ，則表提案通過， $f = 0$ 表提案不通過。
- (2) 設 P 表主管， A 、 B 、 C 分表三位助理，當其為 1 表贊成，0 則表不贊成。
- (3) 依其表決規定可得真值表，如圖(a)所示。
- (4) 將真值表填入卡諾圖直接圈 1 化簡，詳如圖(b)，可得其輸出 f 之布林代數為 $f_{\text{SOP}} = PA + PB + PC + ABC$ 。
- (5) 直接圈 0 化簡可得 $f_{\text{POS}} = (P + A)(P + B)(P + C)(A + B + C)$ 。

【待續，下一頁】

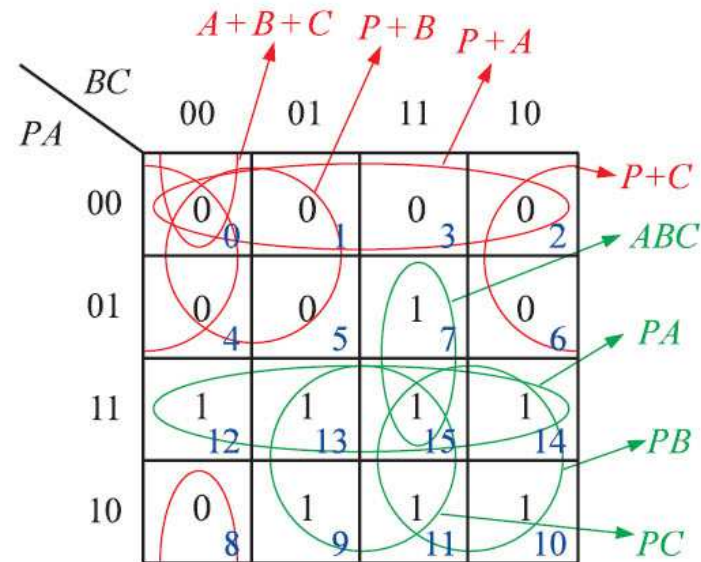


6-5

應用實例

<i>P</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>f</i>
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

(a)真值表



$$f_{SOP} = PA + PB + PC + ABC$$

$$f_{POS} = (P+A)(P+B)(P+C)(A+B+C)$$

(b)卡諾圖

【待續，下一頁】

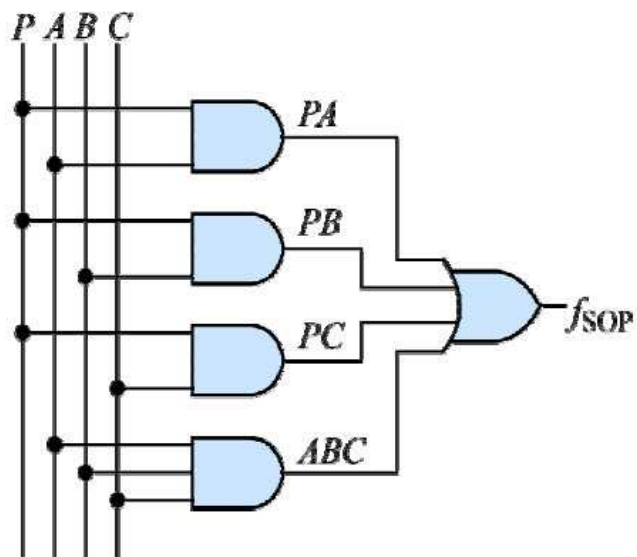


勁園文化事業股份有限公司
台科大圖書股份有限公司

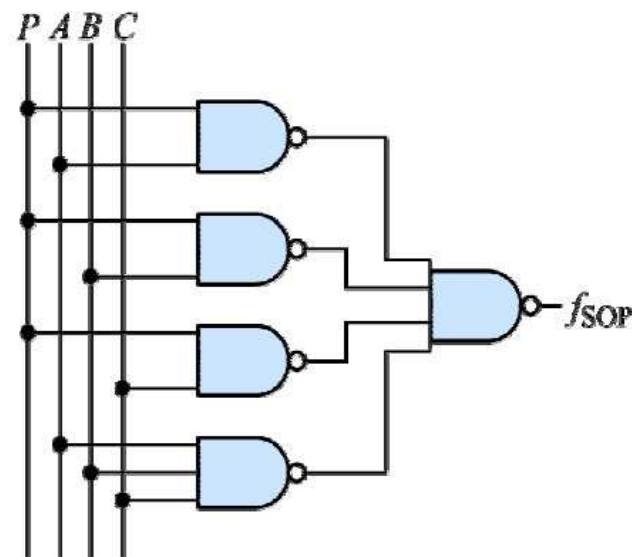


6-5

應用實例



(c) AND-OR 電路



(d) NAND-NAND 電路

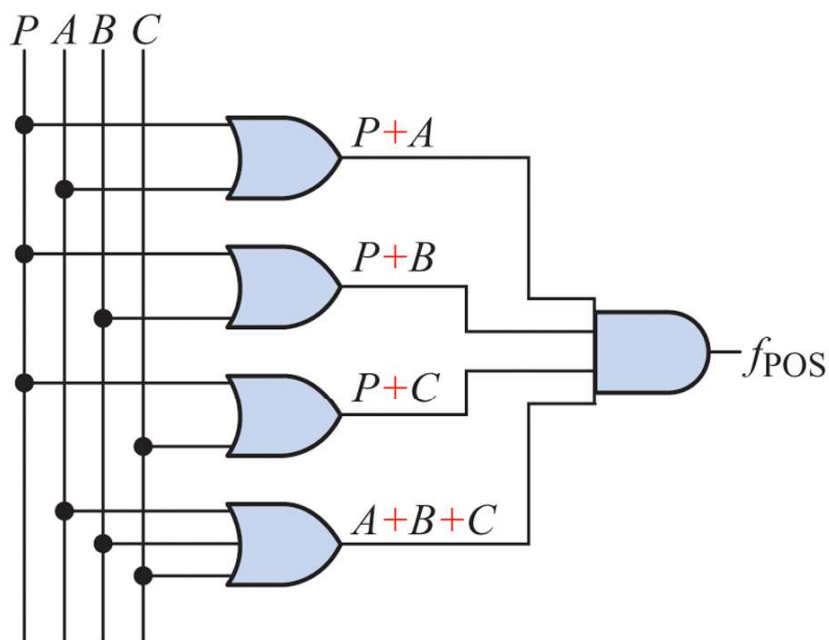
(6) 依其輸出函數 $f_{SOP} = PA + PB + PC + ABC$ 可得圖(c) AND-OR 電路與圖(d)之 NAND-NAND 結構電路。



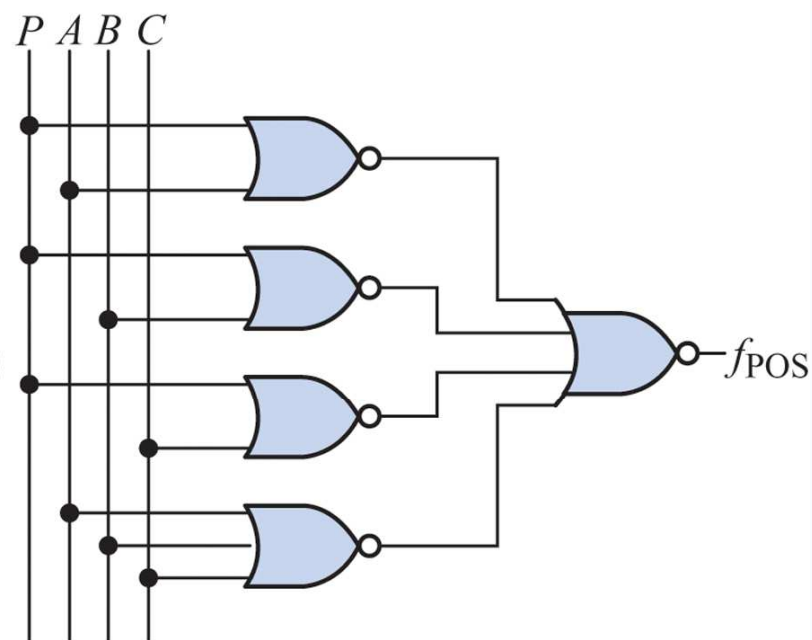
6-5

應用實例

(7) 由 $f_{\text{POS}} = (P+A)(P+B)(P+C)(A+B+C)$ 可得電路如圖(e)、(f) 所示。



(e) OR-AND 電路



(f) NOR-NOR 電路

(8) 表決器的電路如圖 6-21(c)、(d)、(e)、(f) 所示，四組電路並無好壞之分，只要擇一即可。



數位邏輯

第7章組合邏輯的應用

7-1加法器

7-2減法器

※7-3BCD加法器

7-4解碼器

7-5編碼器

7-6多工器

7-7解多工器

7-8MSI的組合邏輯設計



SINCE1997

勁園文化事業股份有限公司
台科大圖書股份有限公司

7-1

半加器

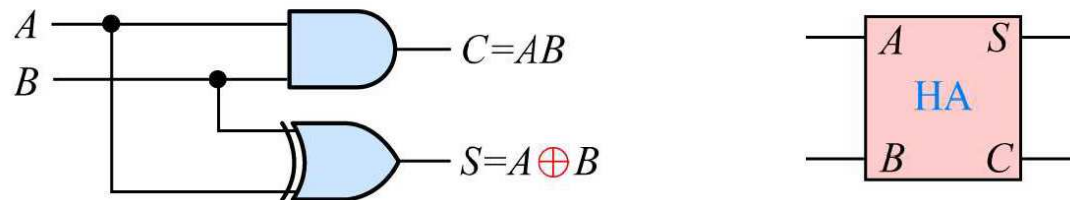
加法器

$$S = \overline{A}B + A\overline{B} = A \oplus B$$

$$C = AB$$

輸入		輸出	
A	B	和	進位
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

半加器的真值表



半加器的電路與方塊圖



7-1

全加器

加法器

$$S = \bar{C}_i \bar{A} B + \bar{C}_i A \bar{B} + C_i \bar{A} \bar{B} + C_i A B$$

$$C_{i+1} = \bar{C}_i A B + C_i \bar{A} B + C_i A \bar{B} + C_i A B$$

$$= \bar{C}_i A B + C_i A B + C_i \bar{A} B + C_i A \bar{B} + C_i A B$$

$$= A B (\bar{C}_i + C_i) + C_i B (\bar{A} + A) + C_i A (\bar{B} + B)$$

$$= A B + C_i B + C_i A$$

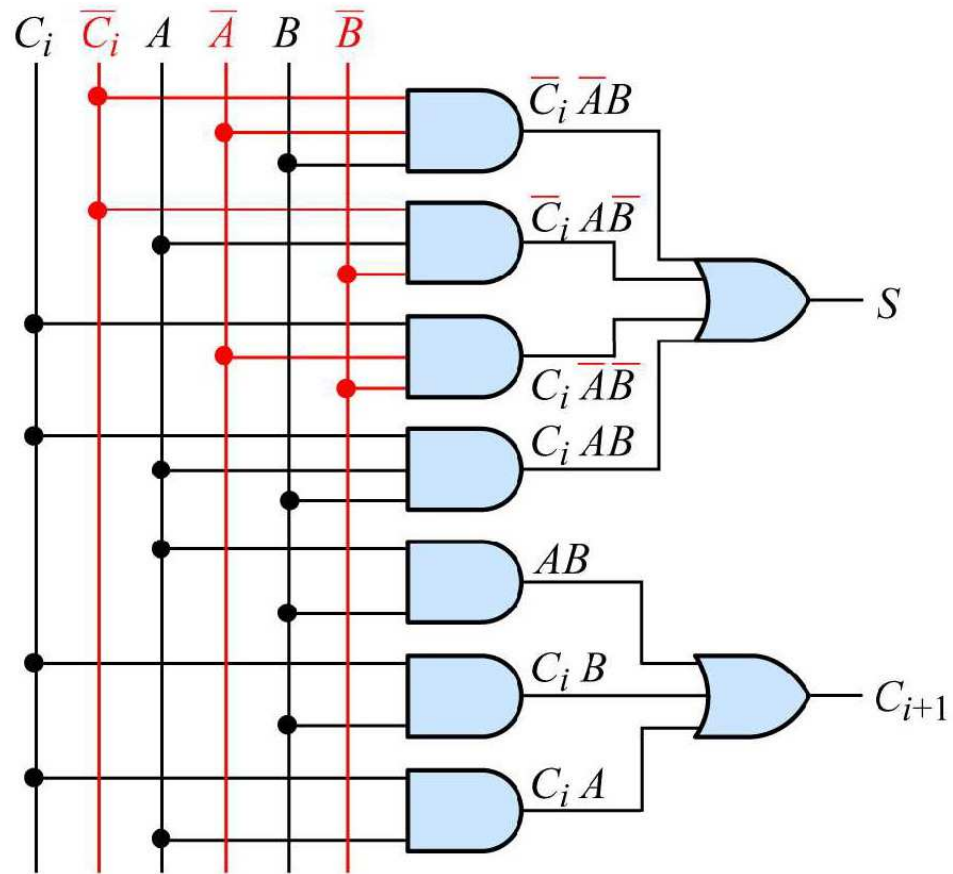
C_i	A	B	S	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

全加器真值表



7-1

加法器



全加器電路



7-1

加法器

$$\begin{aligned}
 S &= \bar{C}_i \bar{A} B + \bar{C}_i A \bar{B} + C_i \bar{A} \bar{B} + C_i A B \\
 &= \bar{C}_i (\bar{A} B + A \bar{B}) + C_i (\bar{A} \bar{B} + A B) \\
 &= \bar{C}_i (A \oplus B) + C_i (\overline{A \oplus B}) \\
 &= C_i \oplus A \oplus B
 \end{aligned}$$

$$; A \oplus B = \bar{A} B + A \bar{B}$$

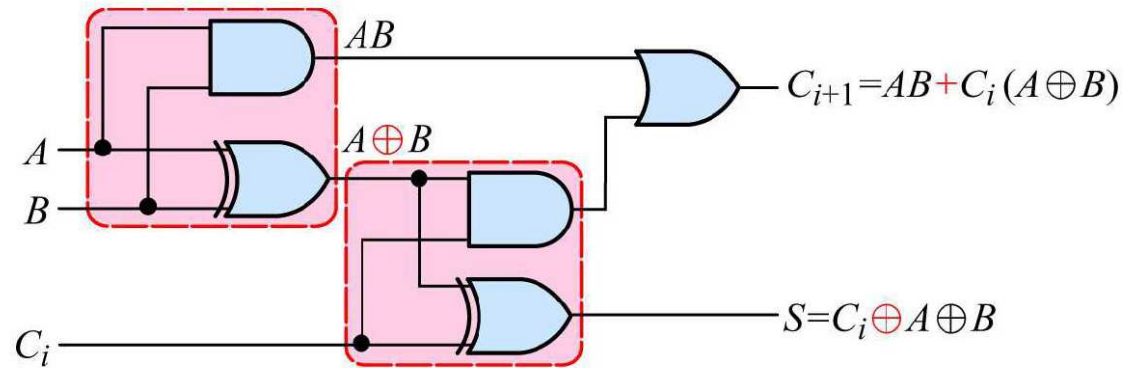
$$; \overline{A \oplus B} = \bar{A} \bar{B} + A B$$

$$\begin{aligned}
 C_{i+1} &= \bar{C}_i A B + C_i \bar{A} B + C_i \bar{A} \bar{B} + C_i A B \\
 &= A B (\bar{C}_i + C_i) + C_i (\bar{A} B + \bar{A} \bar{B}) \\
 &= A B + C_i (A \oplus B)
 \end{aligned}$$

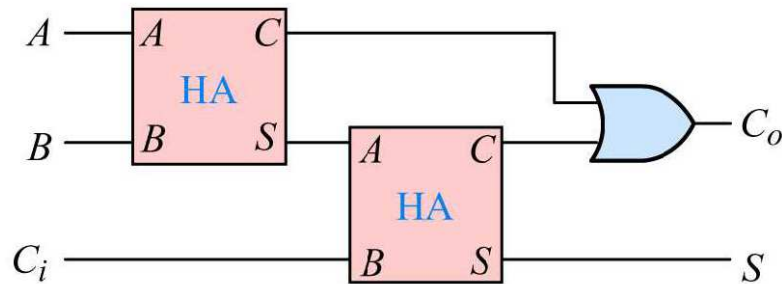


7-1

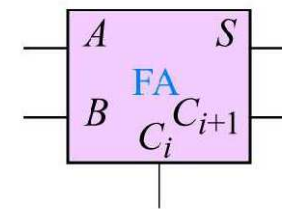
加法器



(a) 全加器電路



(b) 以半加器來組成全加器



(c) 方塊圖

全加器的組成與方塊圖



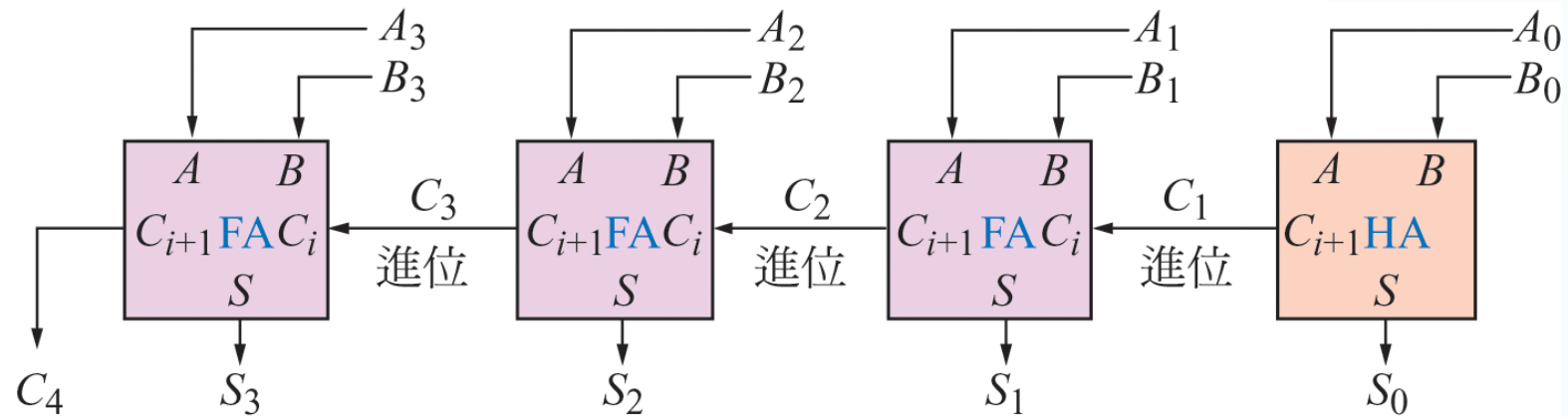
勁園文化事業股份有限公司
台科大圖書股份有限公司



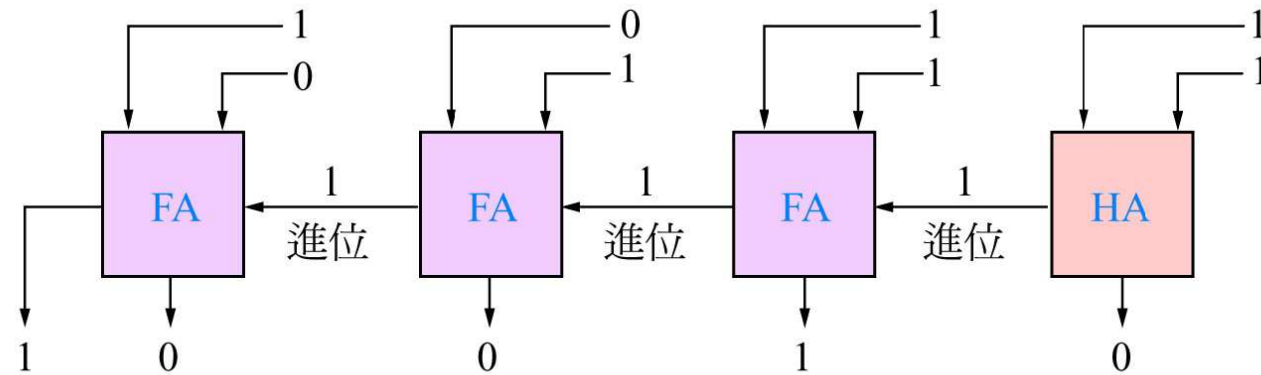
7-1

加法器

並列加法器



4位元二進位並列加法器

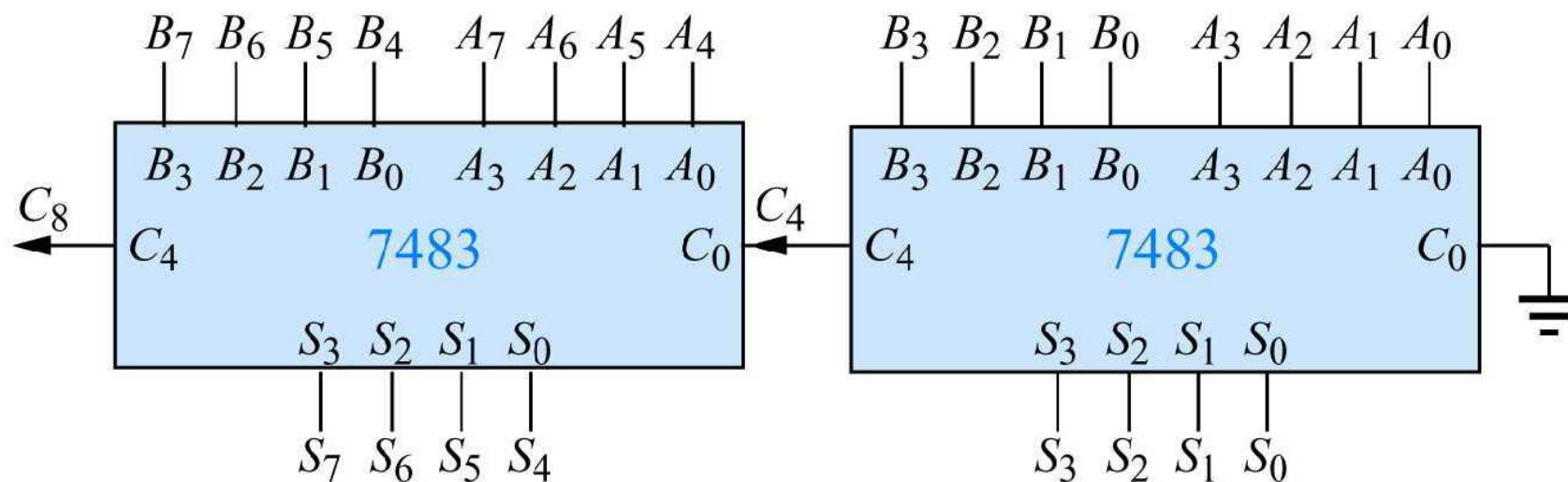


11+7二進位數相加例子



7-1

加法器



8位元加法器電路



7-2

半減器

減法器

x	y	差 (D)	借位 (B)
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

(a)半減器真值表

差 $D = \bar{x}y + x\bar{y} = x \oplus y$

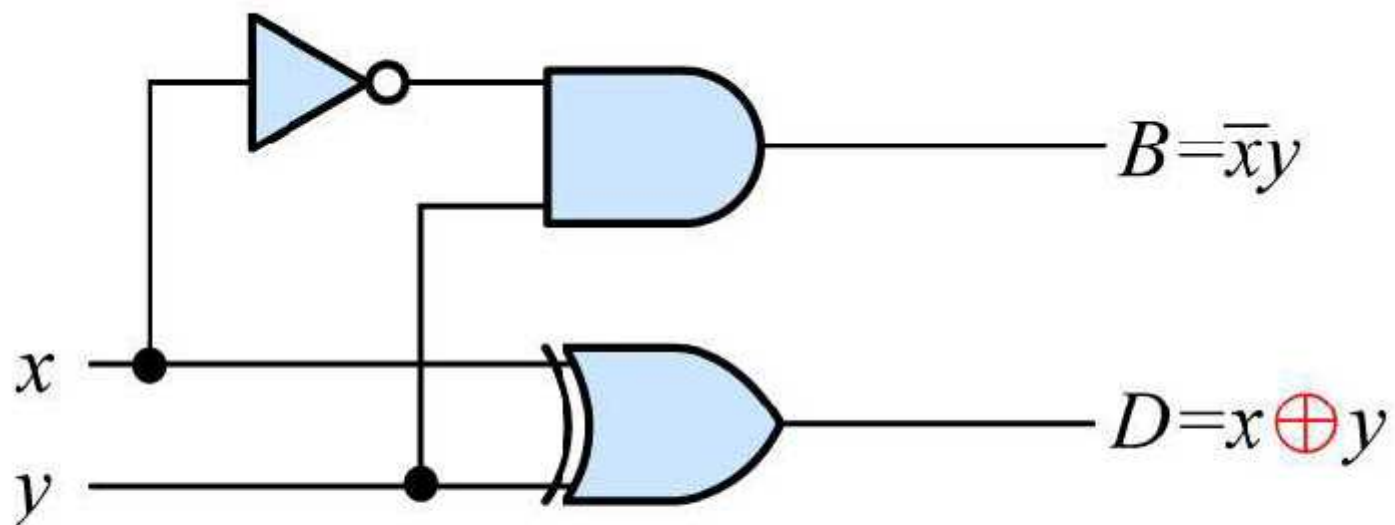
借位 $B = \bar{x}y$



7-2

減法器

半減器



半減器電路



7-2

全減器

x	y	B_i	D	B_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

(b)全減器真值表

減法器

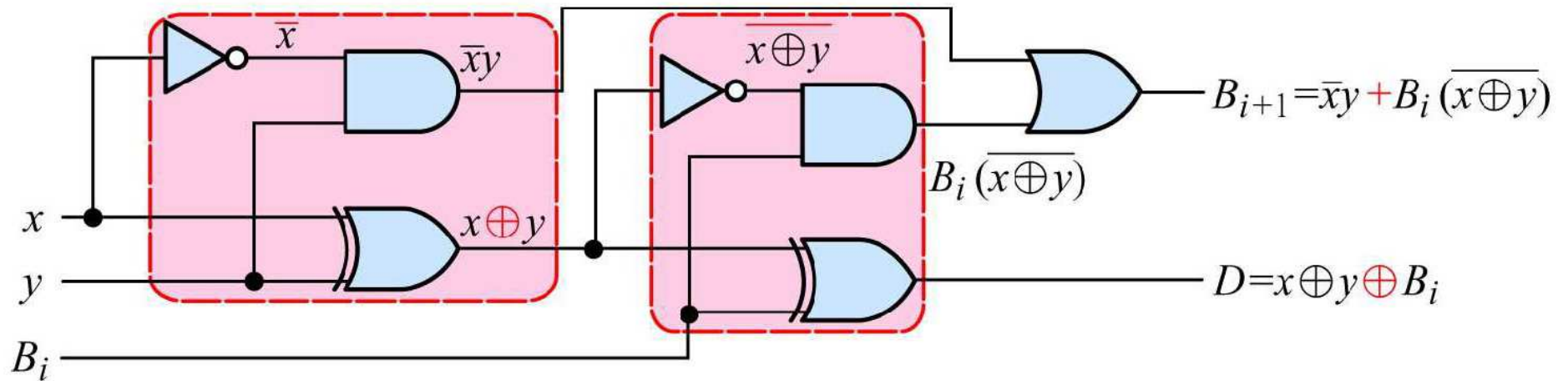
$$\begin{aligned} \text{差}(D) &= \bar{x}\bar{y}B_i + \bar{x}y\bar{B}_i + x\bar{y}\bar{B}_i + xyB_i \\ &= \bar{B}_i(\bar{x}y + yx) + B_i(\bar{x}\bar{y} + xy) \\ &= \bar{B}_i(x \oplus y) + B_i(\overline{x \oplus y}) \\ &= B_i \oplus x \oplus y \end{aligned}$$

$$\begin{aligned} \text{借位}(B_{i+1}) &= \bar{x}\bar{y}B_i + \bar{x}y\bar{B}_i + \bar{x}yB_i + xy\bar{B}_i \\ &= B_i(\bar{x}\bar{y} + xy) + \bar{x}y(\bar{B}_i + B_i) \\ &= B_i(\overline{x \oplus y}) + \bar{x}y \end{aligned}$$



7-2

減法器



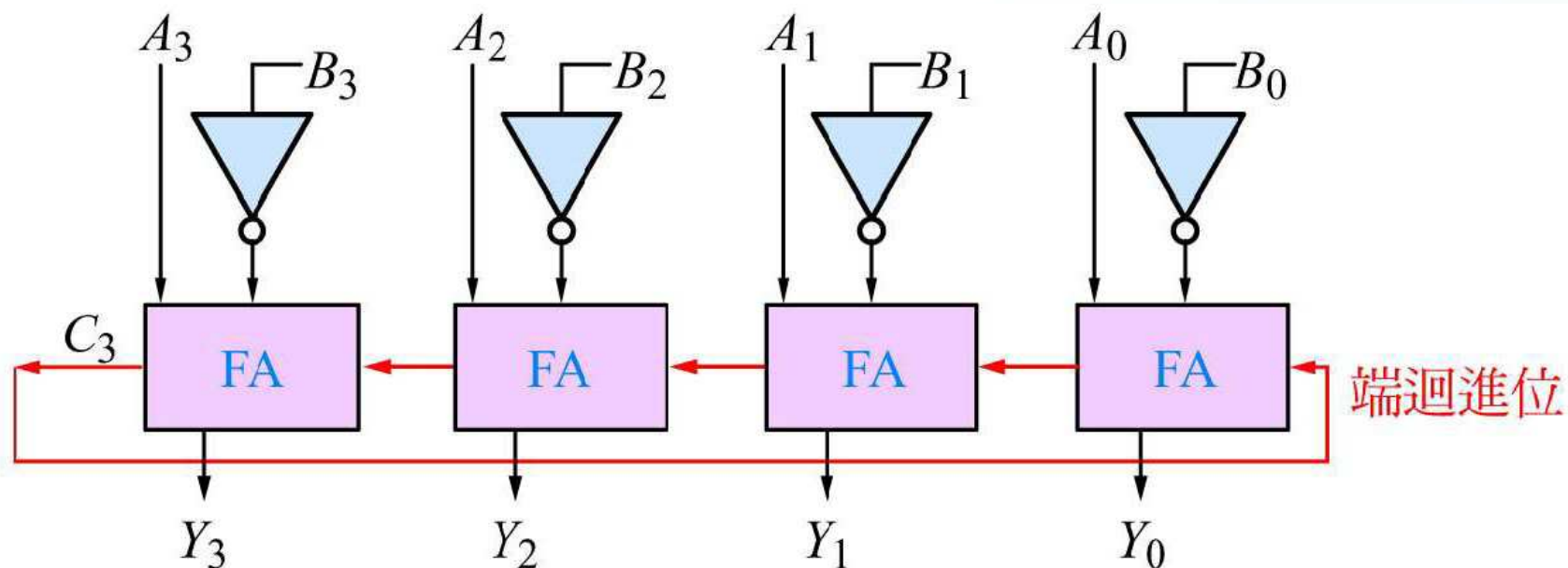
全減器電路圖



7-2

減法器

1's補數減法器



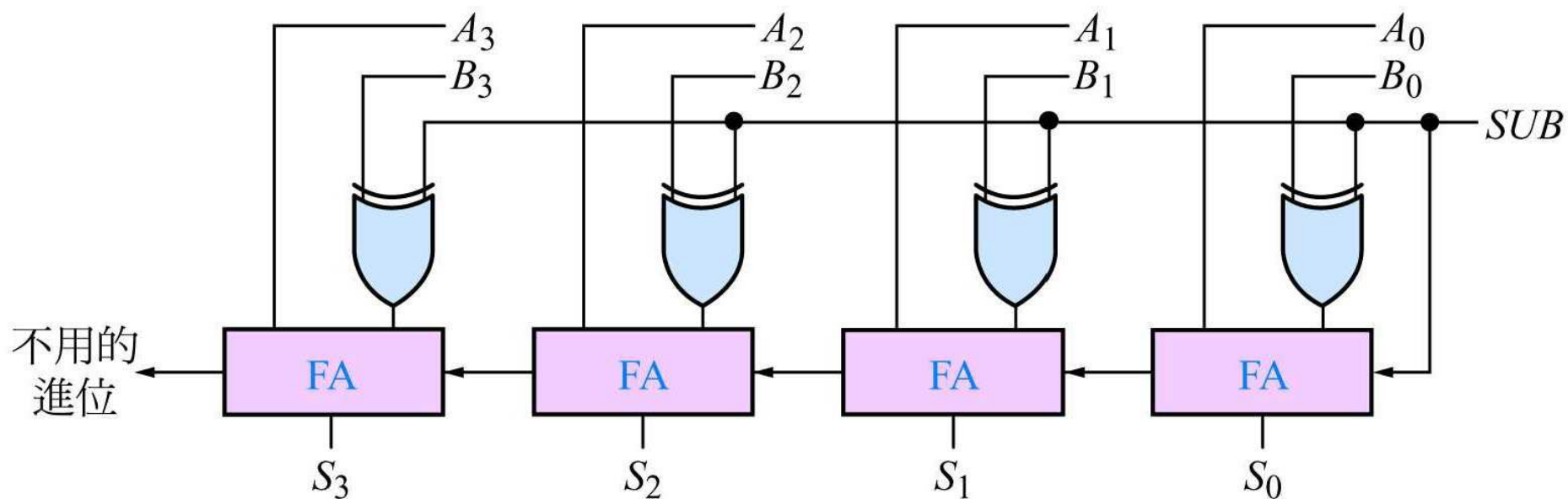
並列式4位元1s補數減法器



7-2

減法器

2's的補數加減法器



2's的補數加/減法器

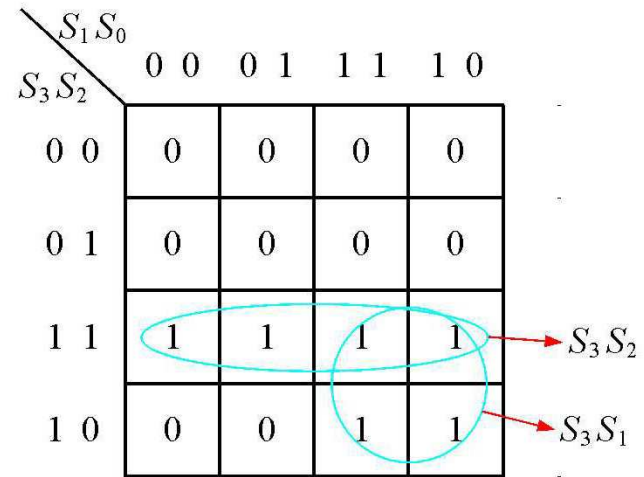


7-3

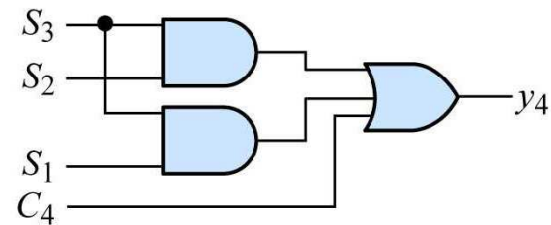
※BCD加法器

S_3	S_2	S_1	S_0	x
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

(a)超9 真值表



(b)卡諾圖 $x = S_3S_2 + S_3S_1$



(c)進位 (超9 鑑別) 電路

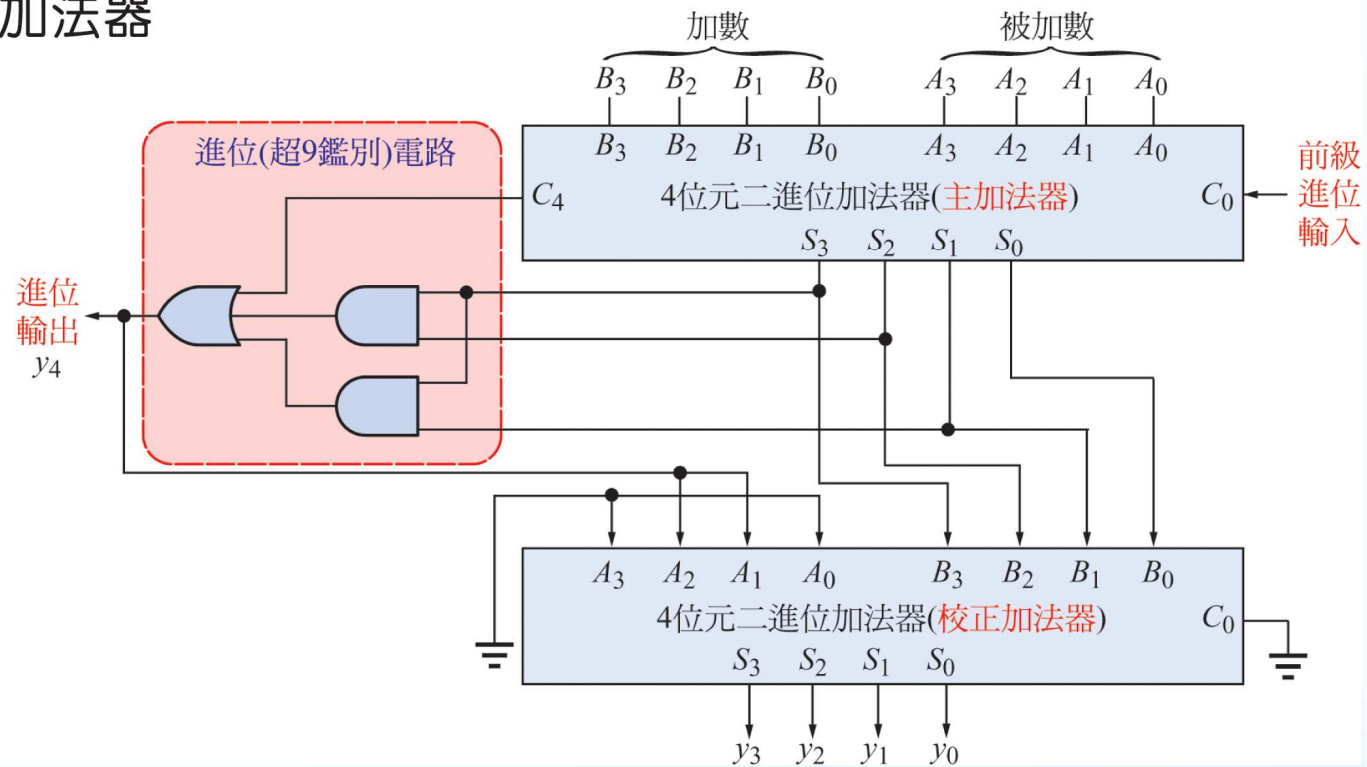
進位 (超9 鑑別) 電路



7-3

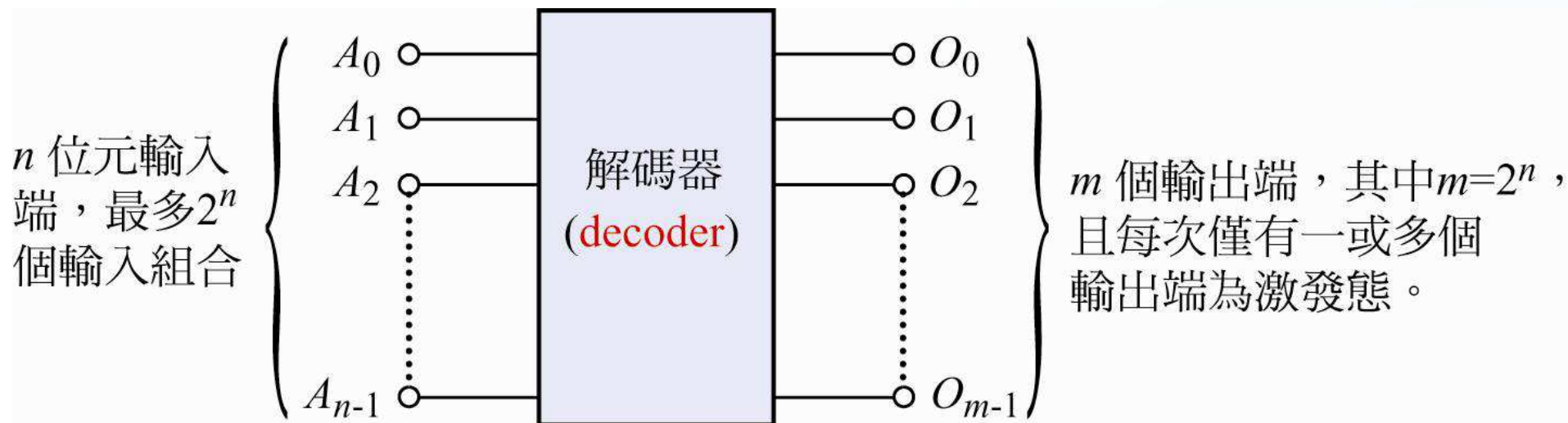
※BCD加法器

BCD 加法器



7-4

解碼器

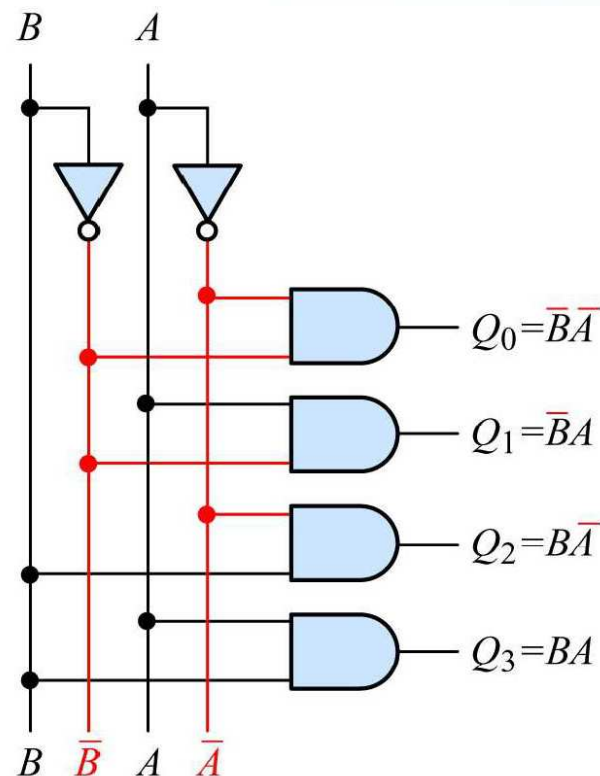


7-4

解碼器

輸 入		輸 出			
B	A	Q_0	Q_1	Q_2	Q_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

(a)真值表



(b)電路圖

二線對四線解碼器的真值表與電路圖

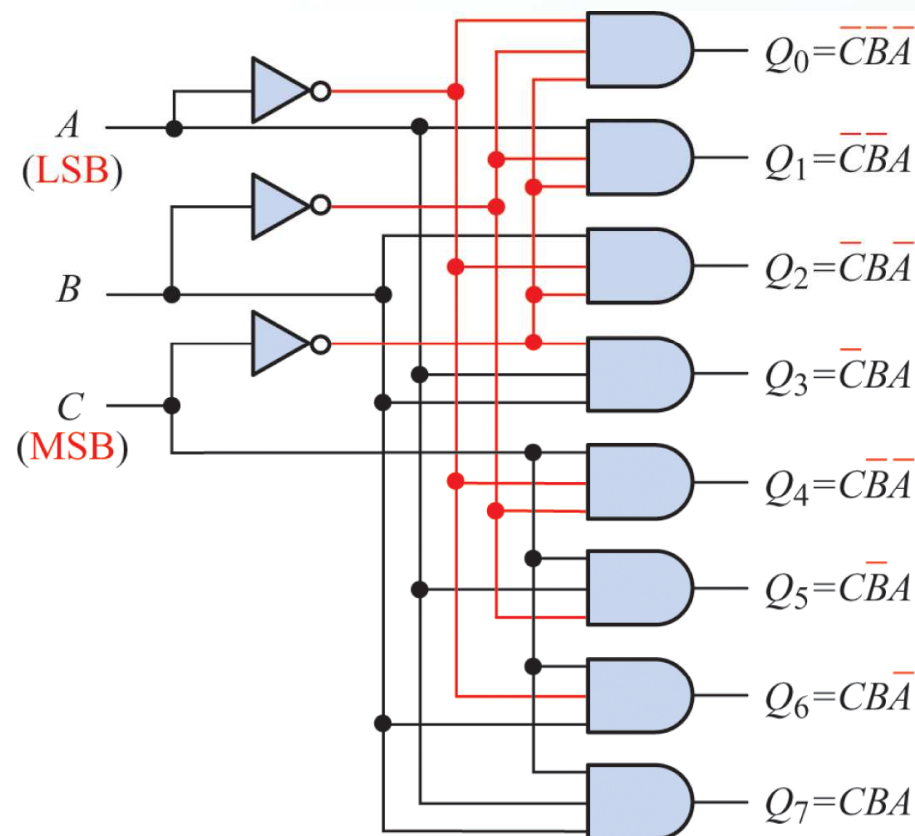


7-4

解碼器

C	B	A	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

(a) 真值表



(b) 電路圖

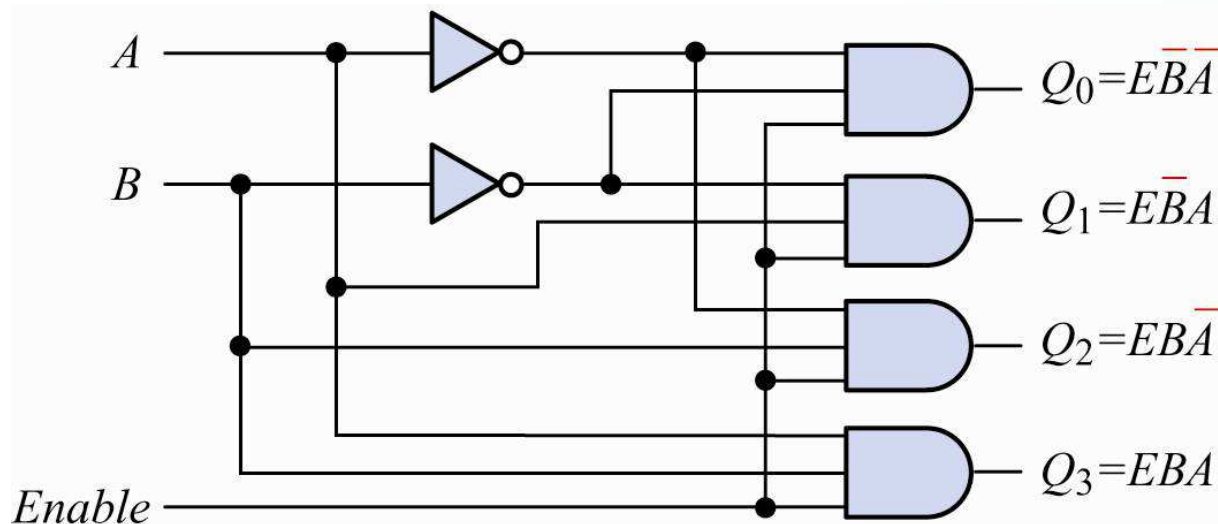
三線對八線解碼器的真值表與電路圖



7-4

解碼器

具致能控制的解碼器



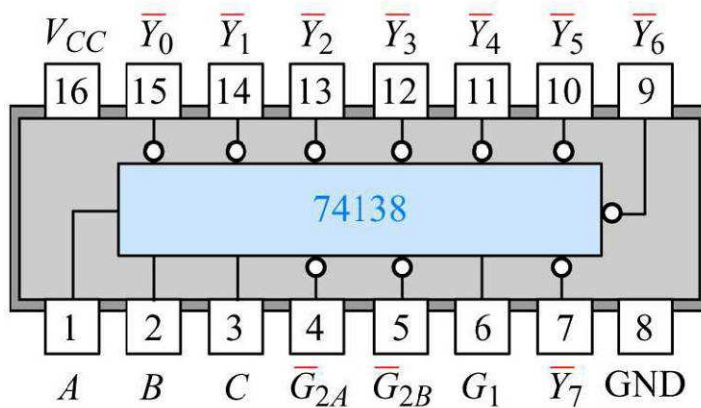
二線對四線解碼器



7-4

解碼器

74138的接腳圖與真值表



輸 入		輸 出										
致能	選擇											
G_1	G_2^*	C	B	A	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

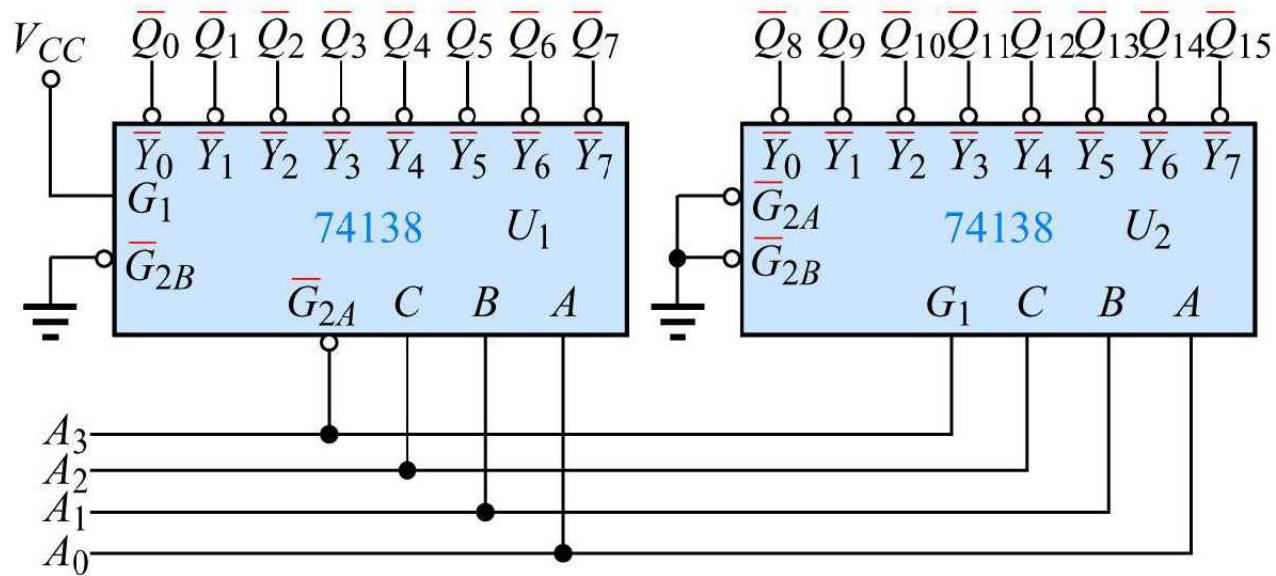
$$G_2^* = \bar{G}_{2A} + \bar{G}_{2B}$$



7-4

解碼器

利用二顆74138完成四對十六線解碼器。



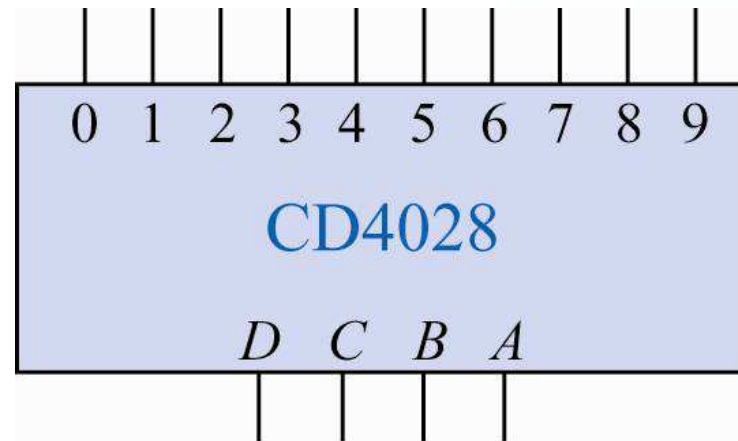
四對十六線解碼器



7-4

解碼器

BCD對十進制解碼器



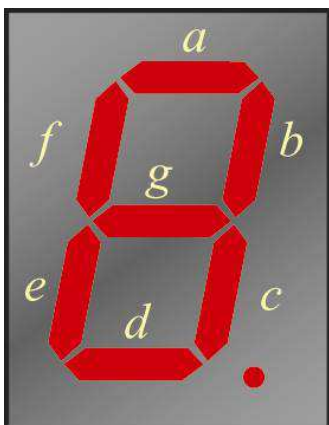
勁園文化事業股份有限公司
台科大圖書股份有限公司



7-4

解碼器

BCD對7段顯示器解碼器／驅動器



123456789



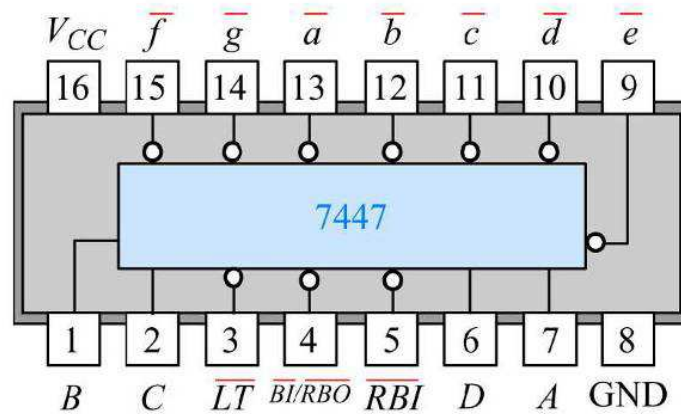
勁園文化事業股份有限公司
台科大圖書股份有限公司



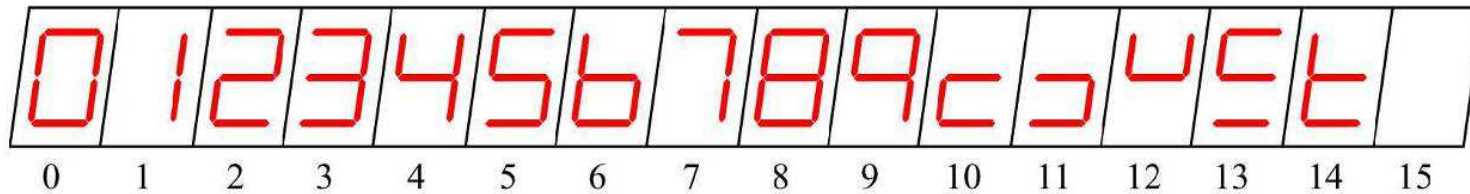
7-4

解碼器

7447的接腳圖與真值表



(a) 7447 接腳圖



(b) 顯示字型



7-4

解碼器

十進制值 與 控制功能	輸入						$\overline{BI/RBO}$	輸出						
	\overline{LT}	\overline{RBI}	D	C	B	A		\overline{a}	\overline{b}	\overline{c}	\overline{d}	\overline{e}	\overline{f}	\overline{g}
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H
\overline{BI}	X	X	X	X	X	X	L	H	H	H	H	H	H	H
\overline{RBI}	H	L	L	L	L	L	L	H	H	H	H	H	H	H
\overline{LT}	L	X	X	X	X	X	H	L	L	L	L	L	L	L

(c)真值表

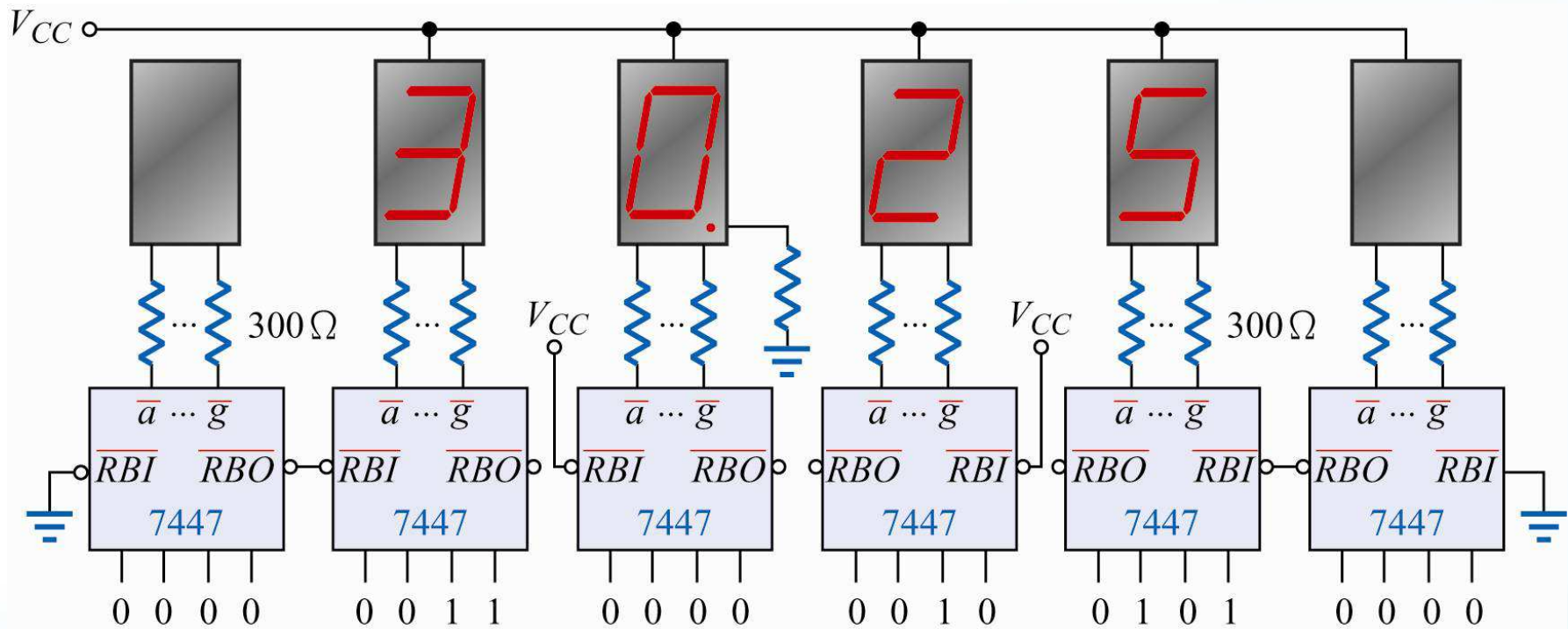
7447的接腳圖與真值表 (續)



7-4

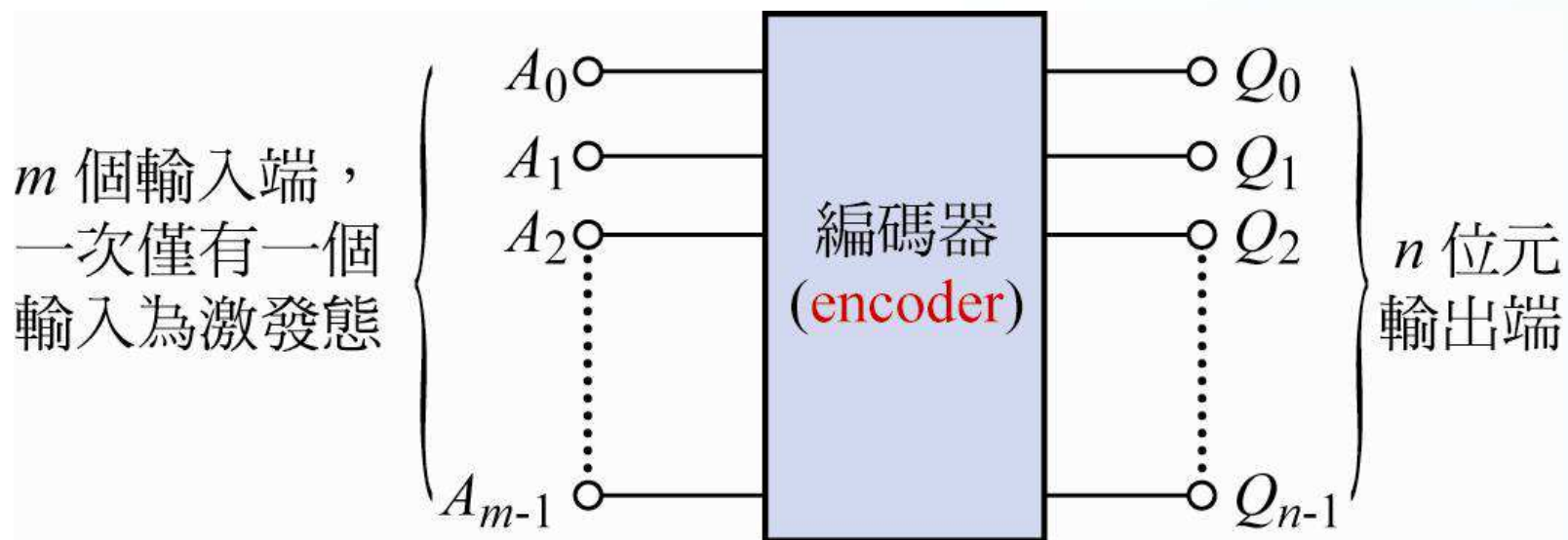
解碼器

RBI 與 *BI/RBO* 的功用：



7-5

編碼器



7-5

編碼器

八進位對二進位編碼器

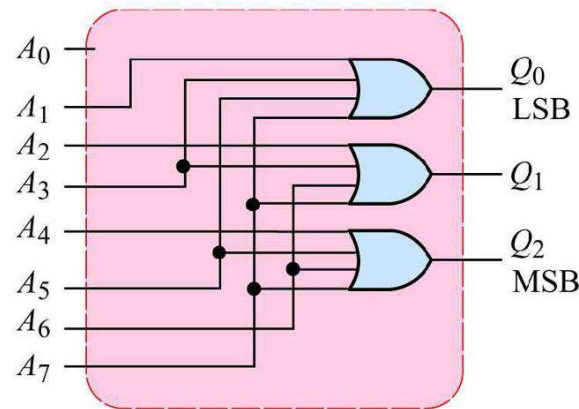
$$Q_0 = A_1 + A_3 + A_5 + A_7$$

$$Q_1 = A_2 + A_3 + A_6 + A_7$$

$$Q_2 = A_4 + A_5 + A_6 + A_7$$

A_0	A_1	A_2	A_3	A_4	A_5	A_6	A_7	Q_2	Q_1	Q_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

※每次僅有一輸入端為 1，不允許有其他組合



7-5

編碼器

矩陣編碼器

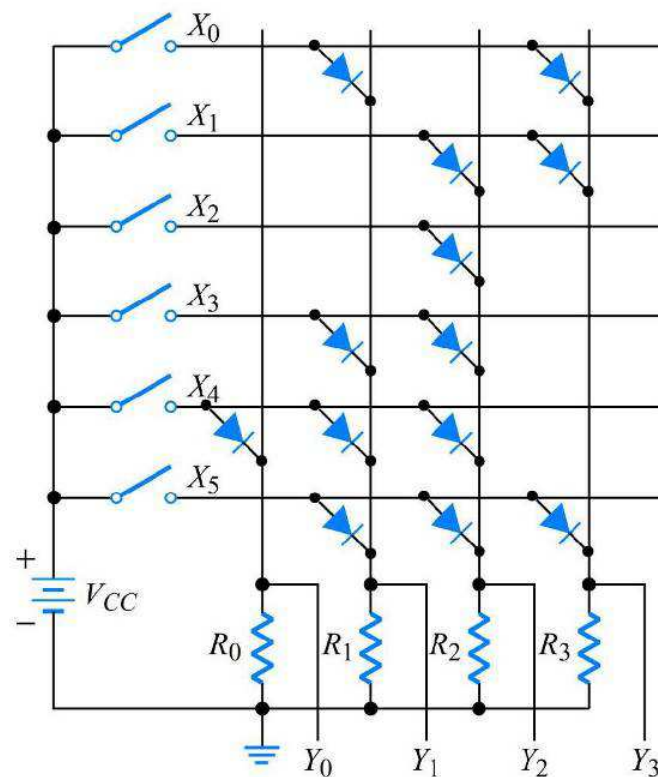
$$Y_0 = X_4$$

$$Y_1 = X_0 + X_3 + X_4 + X_5$$

$$Y_2 = X_1 + X_2 + X_3 + X_4 + X_5$$

$$Y_3 = X_0 + X_1 + X_5$$

輸入端						輸出端			
X_0	X_1	X_2	X_3	X_4	X_5	Y_0	Y_1	Y_2	Y_3
1	0	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	1	0
0	0	0	1	0	0	0	1	1	0
0	0	0	0	1	0	1	1	1	0
0	0	0	0	0	1	0	1	1	1



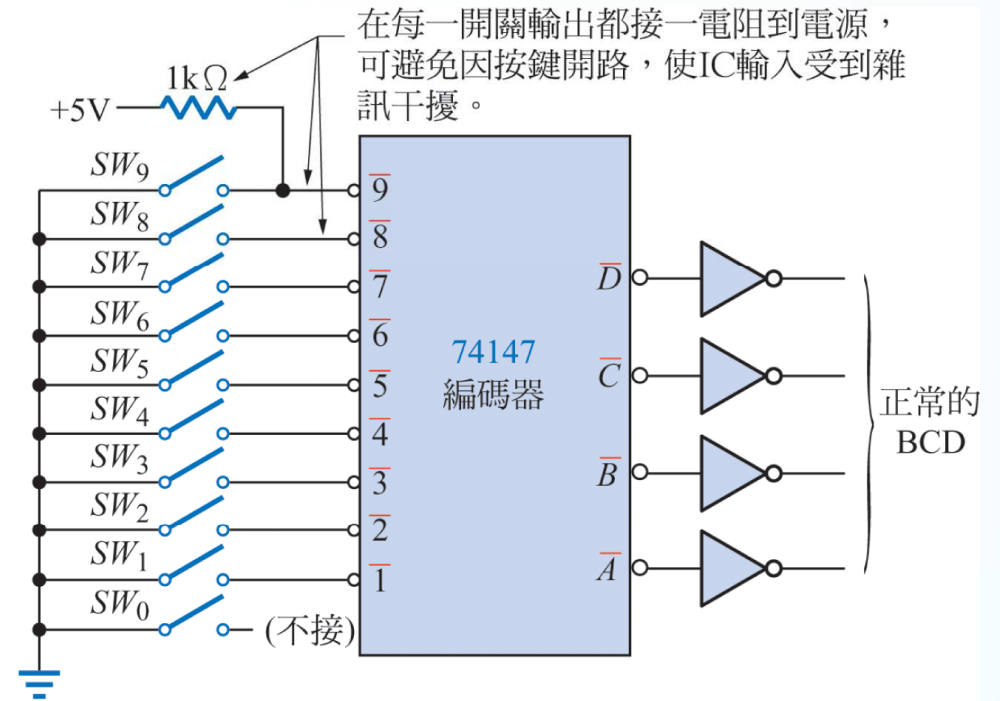
7-5

編碼器

※優先編碼器

輸 入									輸 出			
$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$	$\bar{8}$	$\bar{9}$	\bar{D}	\bar{C}	\bar{B}	\bar{A}
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = 高邏輯準位 ; L = 低邏輯準位 ; X = 隨意

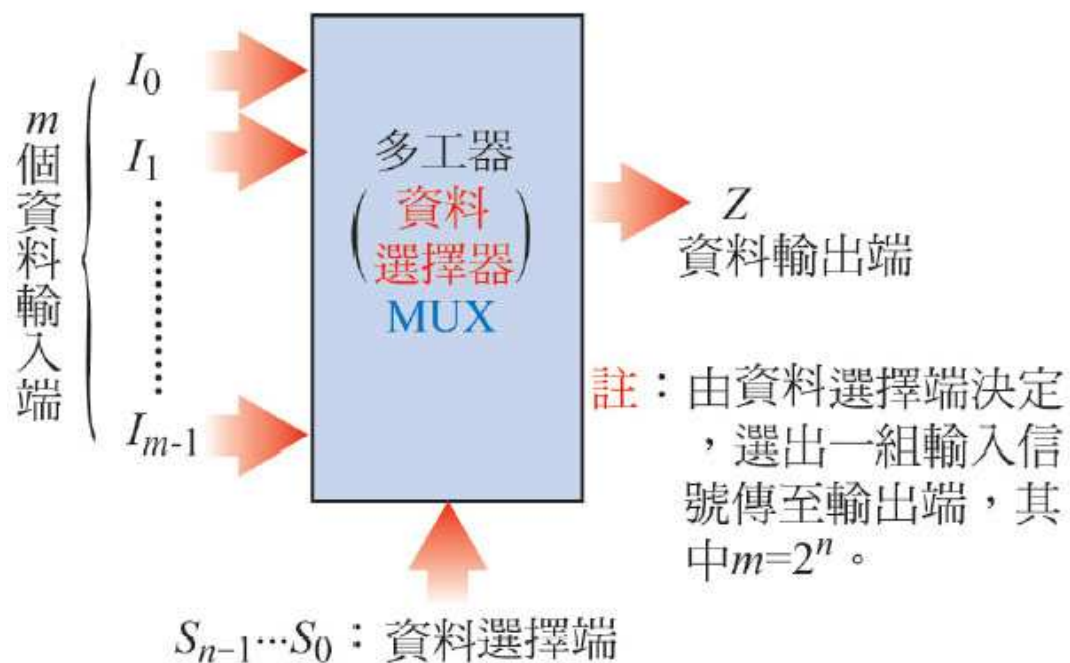


74147 的真值表與 BCD 編碼器

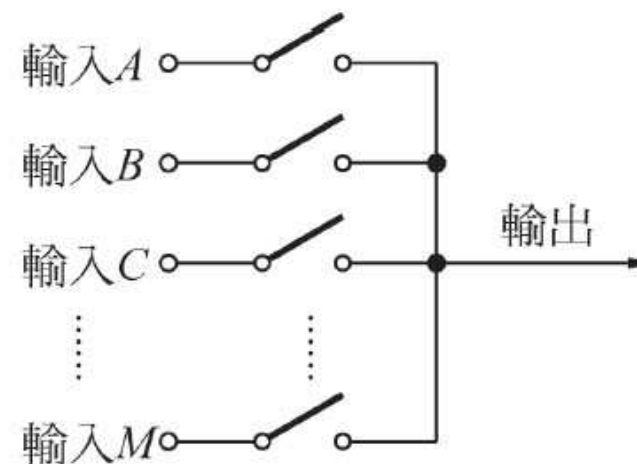


7-6

多工器



(a)多工器示意圖



(b)多工器結構簡示圖

多工器的構成



勁園文化事業股份有限公司
台科大圖書股份有限公司

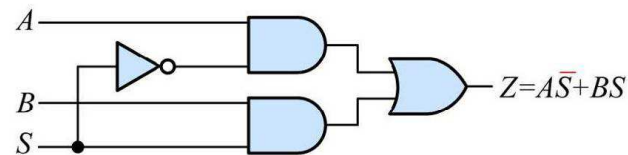


7-6

多工器

S	Z
0	A
1	B

(a)真值表



(b) 電路圖

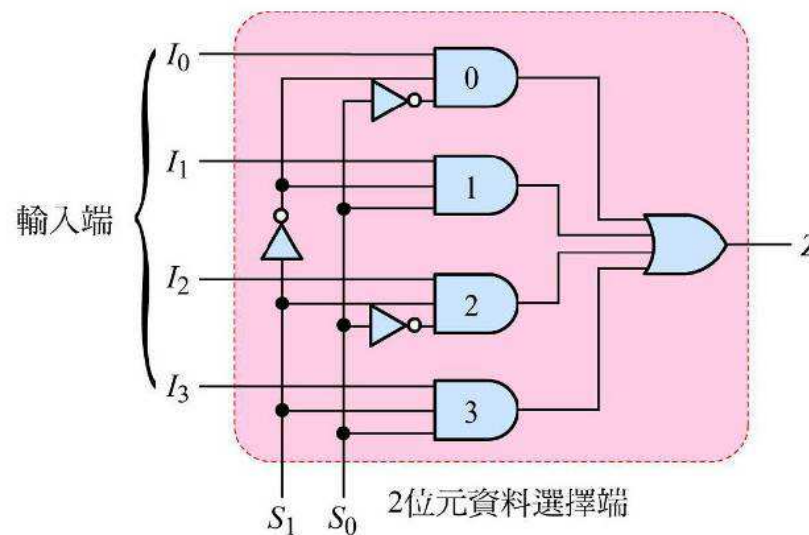
二對一多工器

$$Z = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0$$

選擇信號		輸出信號
S_1	S_0	Z
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

$$Z = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0$$

(a)真值表與布林代數式



(b)電路圖

四對一多工器



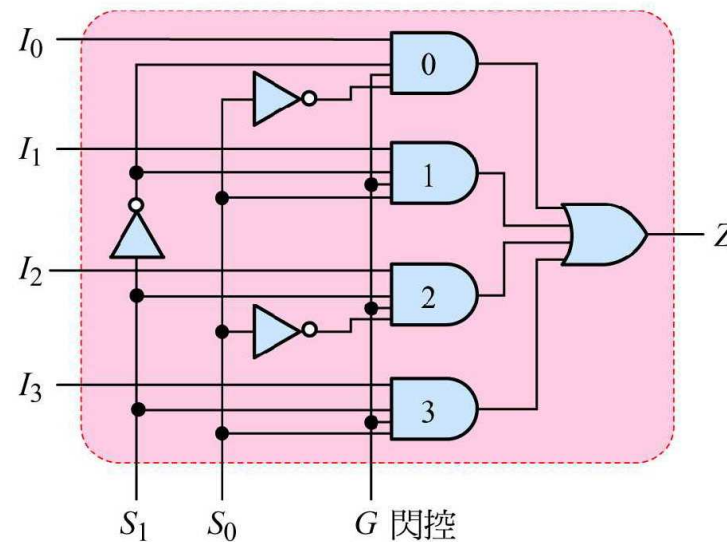
7-6

多工器

閃控輸入

選擇輸入		資料輸入				閃控	輸出
S_1	S_0	I_0	I_1	I_2	I_3	G	Z
×	×	×	×	×	×	L	L
L	L	L	×	×	×	H	L
L	L	H	×	×	×	H	H
L	H	×	L	×	×	H	L
L	H	×	H	×	×	H	H
H	L	×	×	L	×	H	L
H	L	×	×	H	×	H	H
H	H	×	×	×	L	H	L
H	H	×	×	×	H	H	H

H = 高準位, L = 低準位, × = 無關。



具閃控輸入之四對一多工器的真值表與電路圖



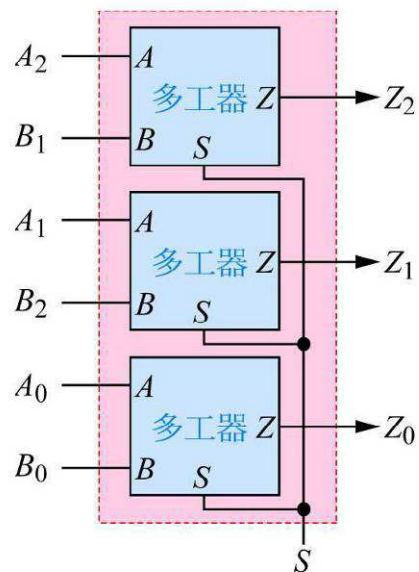
7-6

多工器

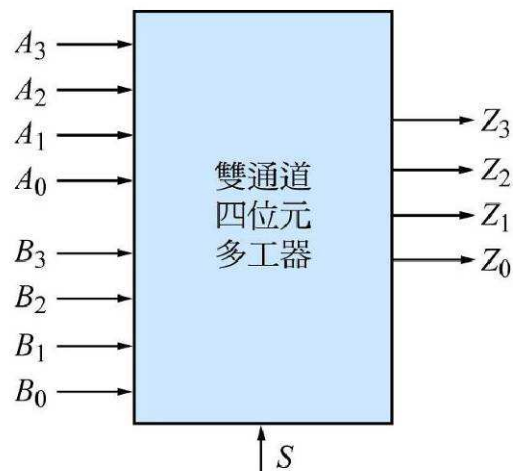
※多通道多工器

當 $S=0$ ，則 $Z_2 Z_1 Z_0 = A_2 A_1 A_0$ (A 組資料被選至輸出)

當 $S=1$ ，則 $Z_2 Z_1 Z_0 = B_2 B_1 B_0$ (B 組資料被選至輸出)



(a) 雙通道 3 位元多工器電路圖



(b) 74153 的方塊圖

雙通道多工器的結構

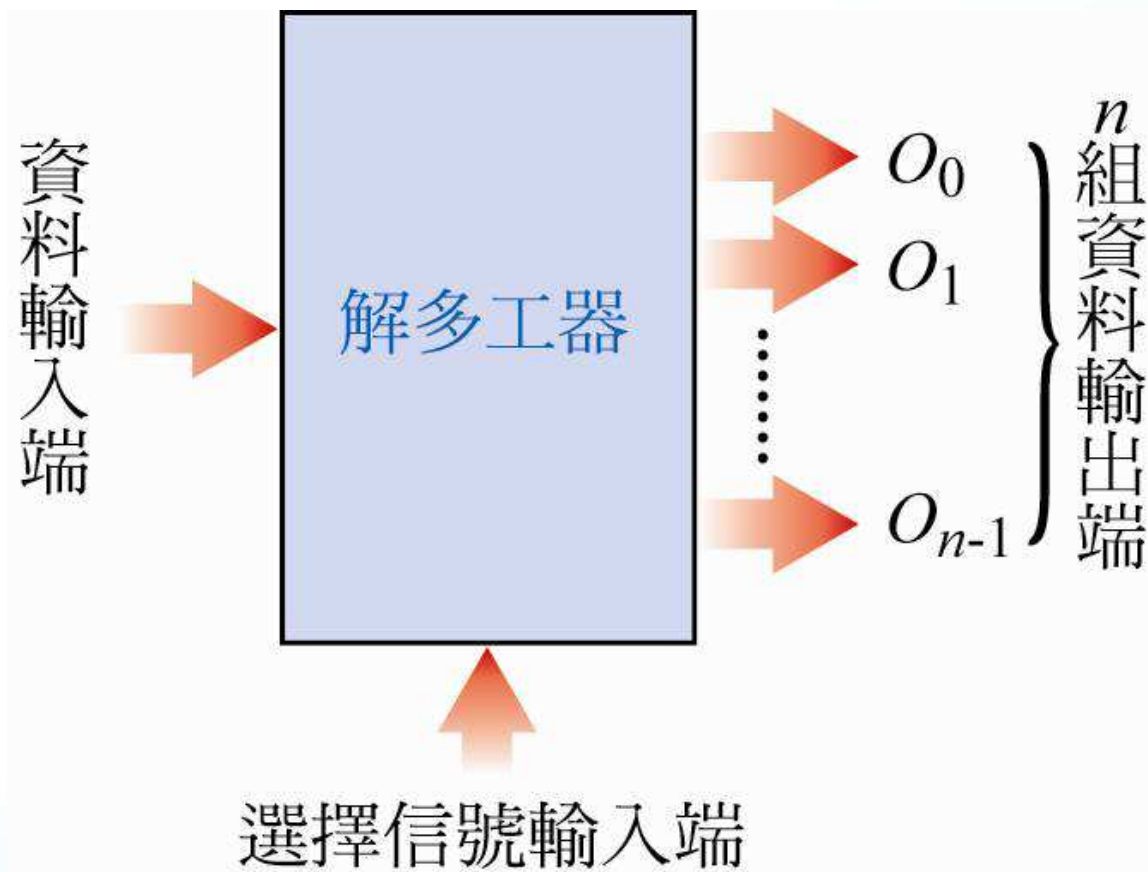


勁園文化事業股份有限公司
台科大圖書股份有限公司



7-7

解多工器



解多工器（或稱資料分配器）示意圖

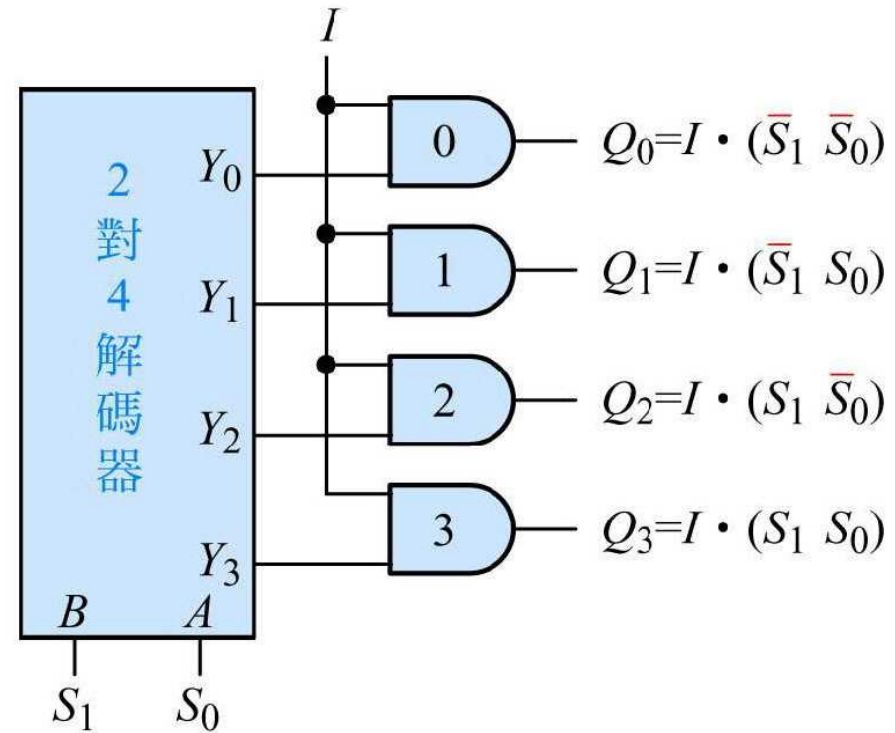


7-7

解多工器

一對四解多工器

輸入			輸出			
S_1	S_0	I	Q_0	Q_1	Q_2	Q_3
0	0	I	I	0	0	0
0	1	I	0	I	0	0
1	0	I	0	0	I	0
1	1	I	0	0	0	I



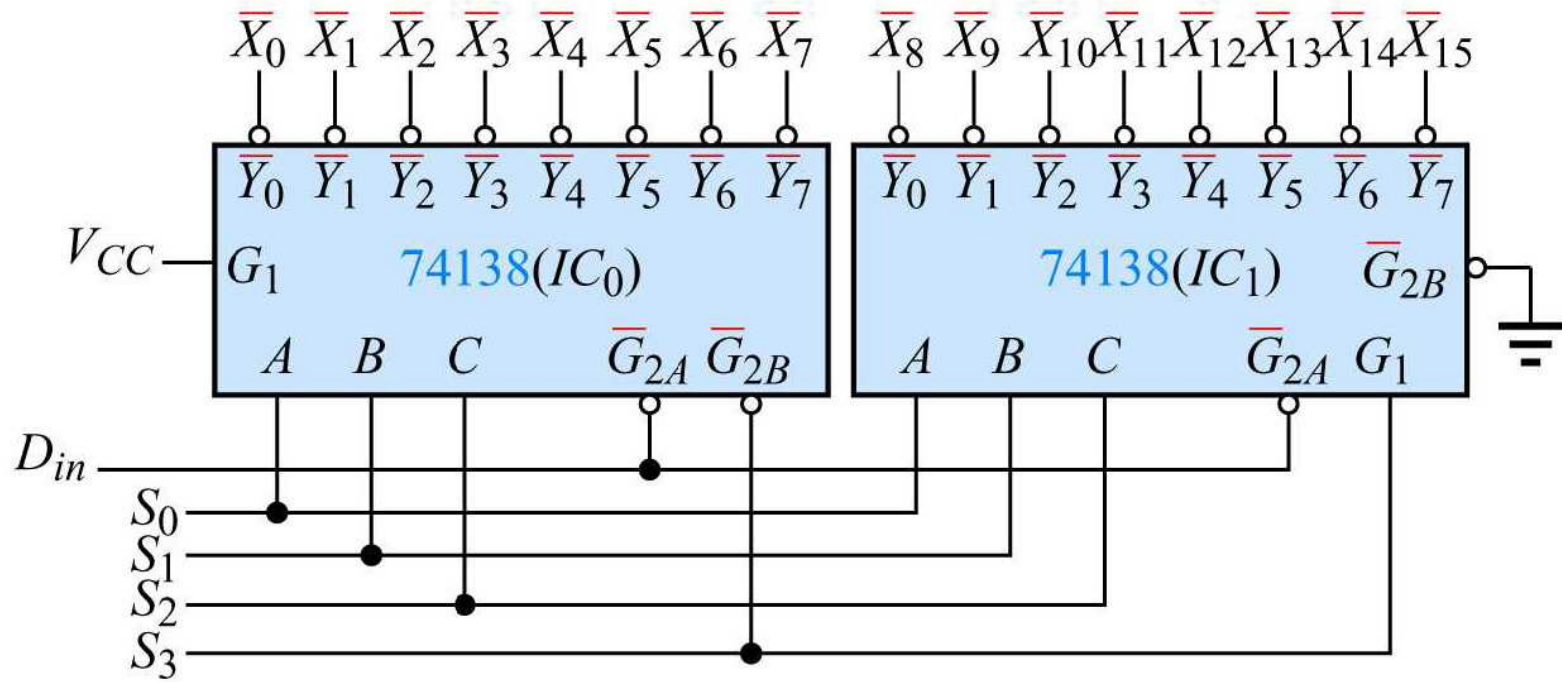
一對四解多工器示意圖



7-7

解多工器

試以2只74138完成一對十六解多工器。



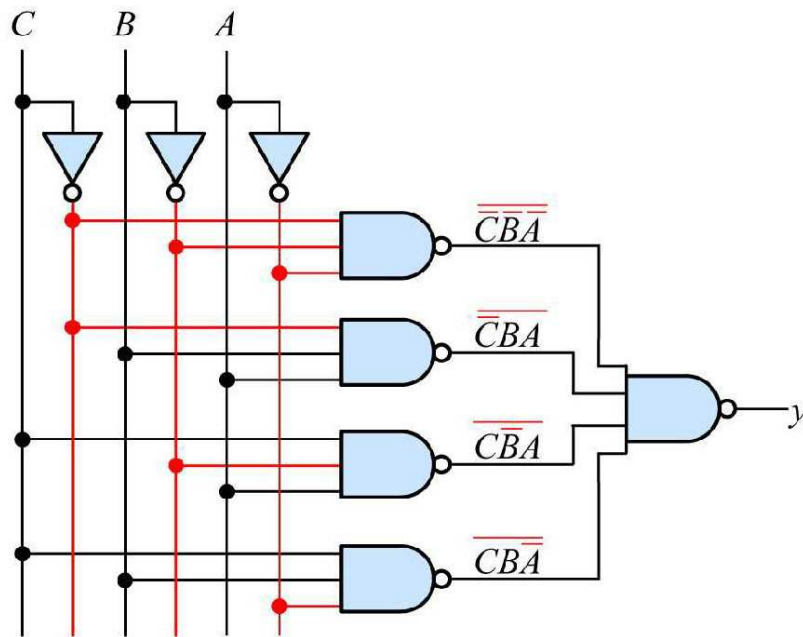
一對十六解多工器



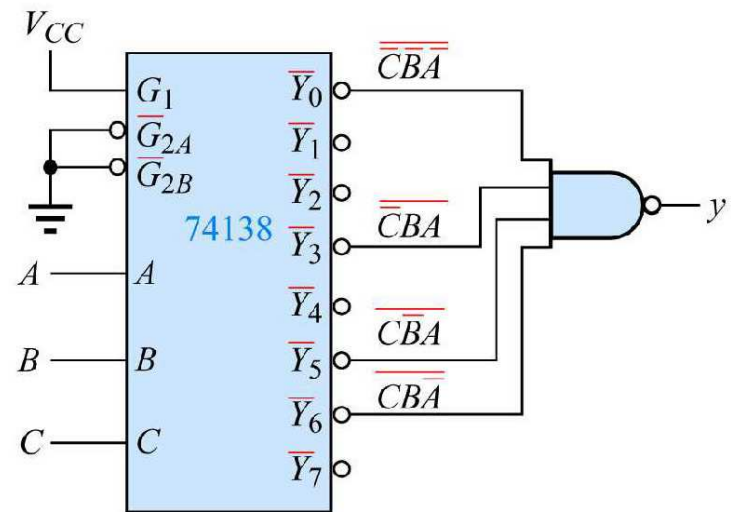
7-8

MSI的組合邏輯設計

以二進制解碼器來做組合邏輯設計



(a) 用閘來完成 y 的組合邏輯電路



(b) 以 74138 完成 y 組合電路

$$y = \overline{C}\overline{B}\overline{A} + \overline{C}\overline{B}A + \overline{C}B\overline{A} + \overline{C}BA \text{ 組合電路}$$



勁園文化事業股份有限公司
台科大圖書股份有限公司



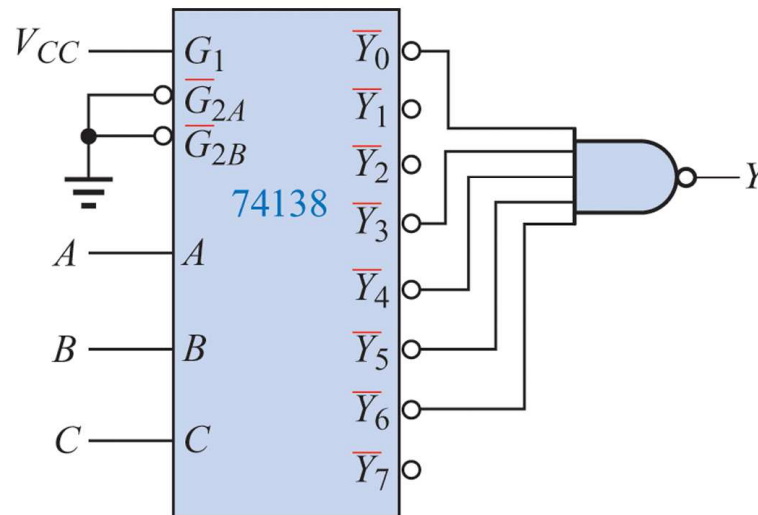
7-8

MSI的組合邏輯設計

試以 74138 來完成 $Y = \overline{B}\overline{A} + \overline{C}\overline{A} + \overline{C}\overline{B} + \overline{C}BA$ 的組合邏輯電路。

解 因 $Y = \overline{B}\overline{A} + \overline{C}\overline{A} + \overline{C}\overline{B} + \overline{C}BA$
 $= \begin{matrix} \times & 0 & 0 & + & 1 & \times & 0 & + & 1 & 0 & \times & + & 0 & 1 & 1 \end{matrix}$; 轉為二進制
 $\begin{matrix} \downarrow & & \downarrow & & \downarrow & & \downarrow & & & & & & & & \end{matrix}$
 $\begin{matrix} 0, & 4 & & 4, & 6 & & 4, & 5 & & & & & & & 3 \end{matrix}$; 列出可能十進數
 $= \Sigma(0, 3, 4, 5, 6)$; 轉成 Σ 函數

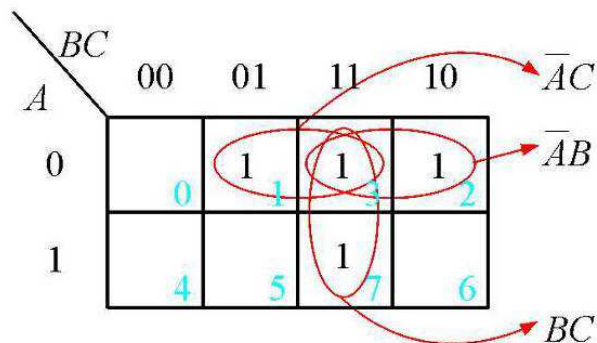
故將 74138 的 Y_0 、 Y_3 、 Y_4 、 Y_5 和 Y_6 經反及閘 “OR” 起來即可，詳如圖 7-42 所示。



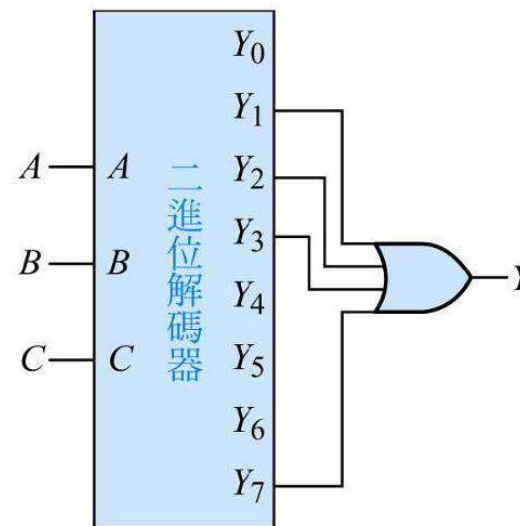
7-8

MSI的組合邏輯設計

如圖 7-43 所示 Y 的最簡布林代數式為何？



故 $Y = \bar{A}C + \bar{A}B + BC$



例題7-5

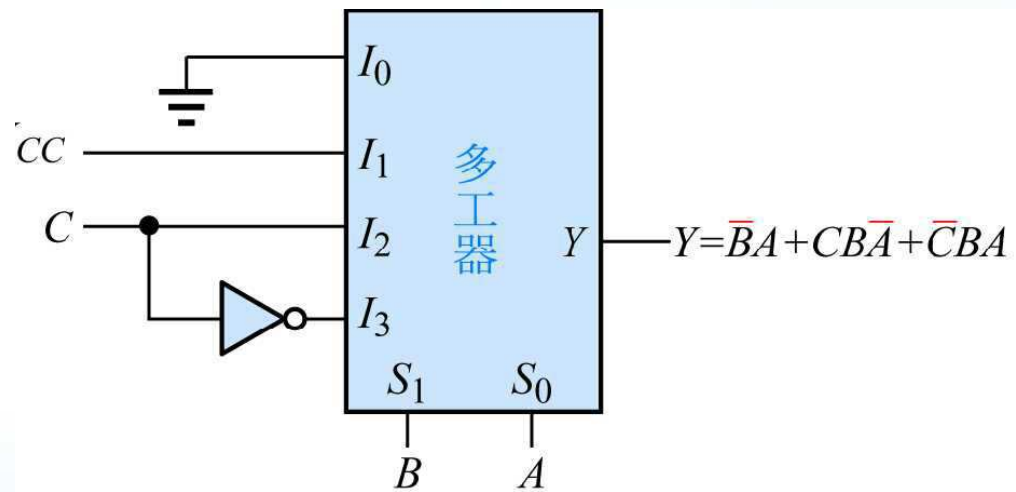


7-8

MSI的組合邏輯設計

多工器做組合邏輯設計

$$\begin{aligned}
 Z &= I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0 \\
 &= 0 \cdot \bar{B} \bar{A} + 1 \cdot \bar{B} A + C \cdot B \bar{A} + \bar{C} \cdot B A \\
 &= \bar{B} A + C B \bar{A} + \bar{C} B A
 \end{aligned}$$



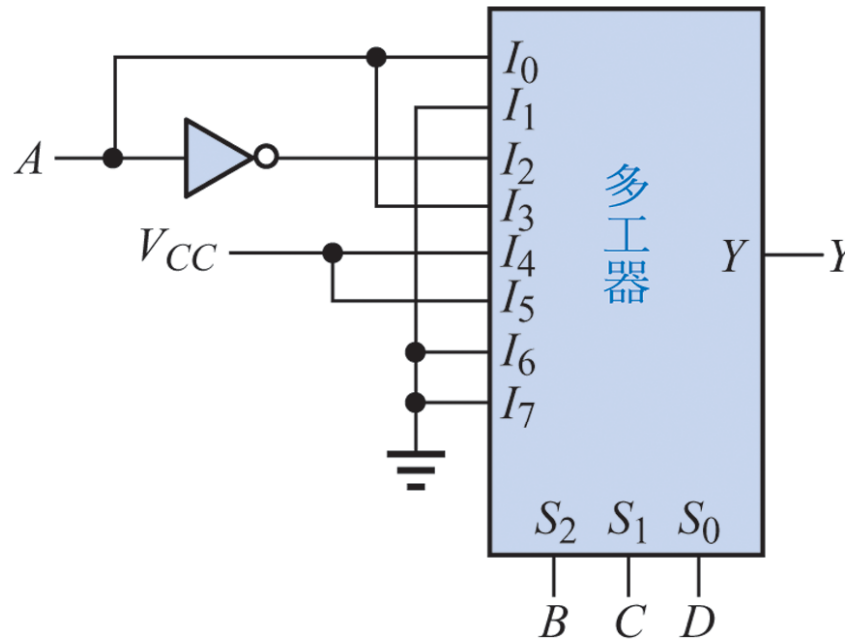
$Y = BA + CBA + CBA$ 電路



7-8

MSI的組合邏輯設計

如圖所示，試求 Y 輸出之布林代數式。



解

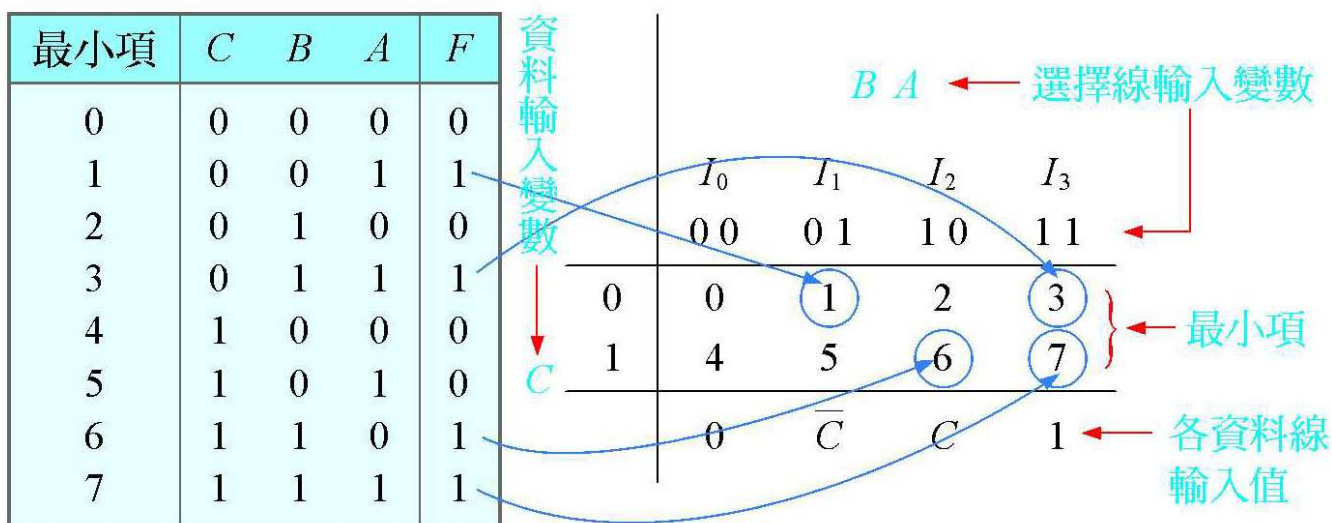
$$\begin{aligned}
 Y &= A \cdot \overline{B} \overline{C} \overline{D} + 0 \cdot \overline{B} \overline{C} D + \overline{A} \cdot \overline{B} C \overline{D} + A \cdot \overline{B} C D + 1 \cdot \overline{B} \overline{C} \overline{D} + 1 \cdot \overline{B} \overline{C} D + \\
 &\quad 0 \cdot \overline{B} C \overline{D} + 0 \cdot \overline{B} C D \\
 &= \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} \overline{B} C \overline{D} + \overline{A} \overline{B} C D + \overline{B} \overline{C} \overline{D} + \overline{B} \overline{C} D
 \end{aligned}$$



7-8

MSI的組合邏輯設計

3變數真值表與四對一多工器執行表的關係圖。



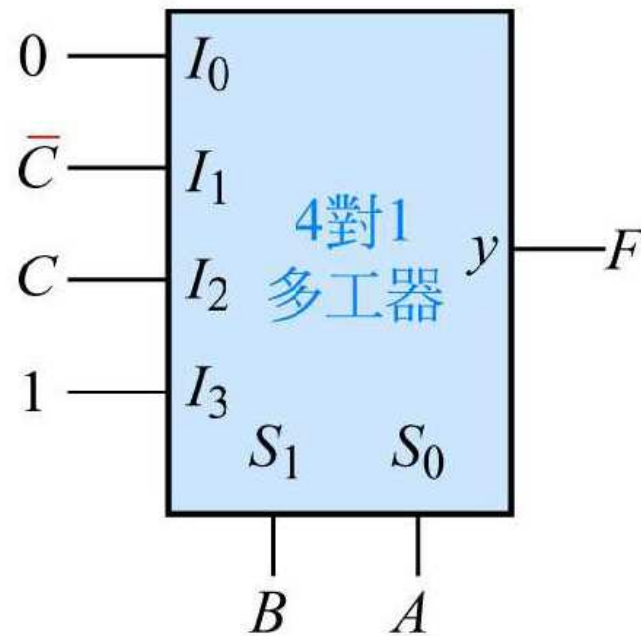
真值表與多工器的執行表

1. I_0 行：未被圈選，故 $I_0=0$ 。
2. I_1 行： m_1 被圈 在 C 的 0 列，故 $I_1=\bar{C}$ 。
3. I_2 行： m_6 被圈 在 C 的 1 列，故 $I_2=C$ 。
4. I_3 行： m_3 與 m_7 皆被圈，故 $I_3=\bar{C}+C=1$ 。



7-8

MSI的組合邏輯設計



$$F = \Sigma(1, 3, 6, 7)$$

的執行電路



7-8

MSI的組合邏輯設計

試以四線對一線多工器完成 $Y = \overline{C}B + \overline{C}A + \overline{B}A$ 的邏輯電路。

$$Y = \overline{C}B + \overline{C}A + \overline{B}A$$

$$\begin{array}{ccc} \downarrow & & \downarrow \\ 00\times & + & 0\times 1 & + & \times 01 \end{array}$$

$$\begin{array}{ccc} \downarrow & & \downarrow \\ 0, 1 & + & 1, 3 & + & 1, 5 \end{array}$$

$$= \Sigma(0, 1, 3, 5)$$

；用 0 取代原形，1 取代補，

× 取代未出現的變數

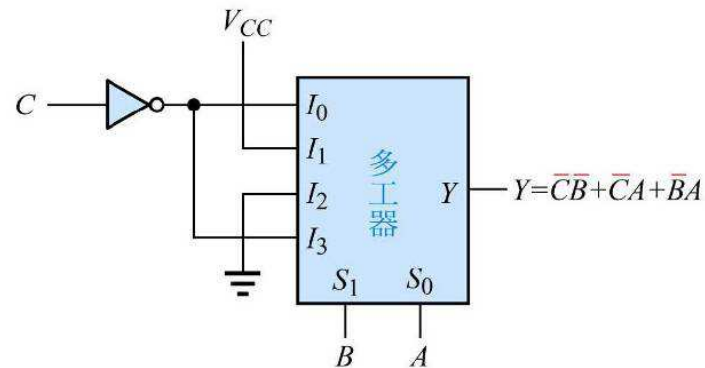
；以 0 和 1 分別取代 ×，並將其轉為十進制

；寫出 Σ 函數

C	BA			
	I ₀	I ₁	I ₂	I ₃
0	0	1	2	3
1	4	5	6	7
	\overline{C}	1	0	\overline{C}

$$Y = \overline{C}B + \overline{C}A + \overline{B}A$$

$$= \Sigma(0, 1, 3, 5)$$



$Y = \overline{C}B + \overline{C}A + \overline{B}A$ 的執行表與電路圖



數位邏輯

第8章組合邏輯的應用

8-1 可程式邏輯元件

8-2 可程式邏輯陣列

8-3 可程式的陣列邏輯

8-4 商用可程式邏輯元件



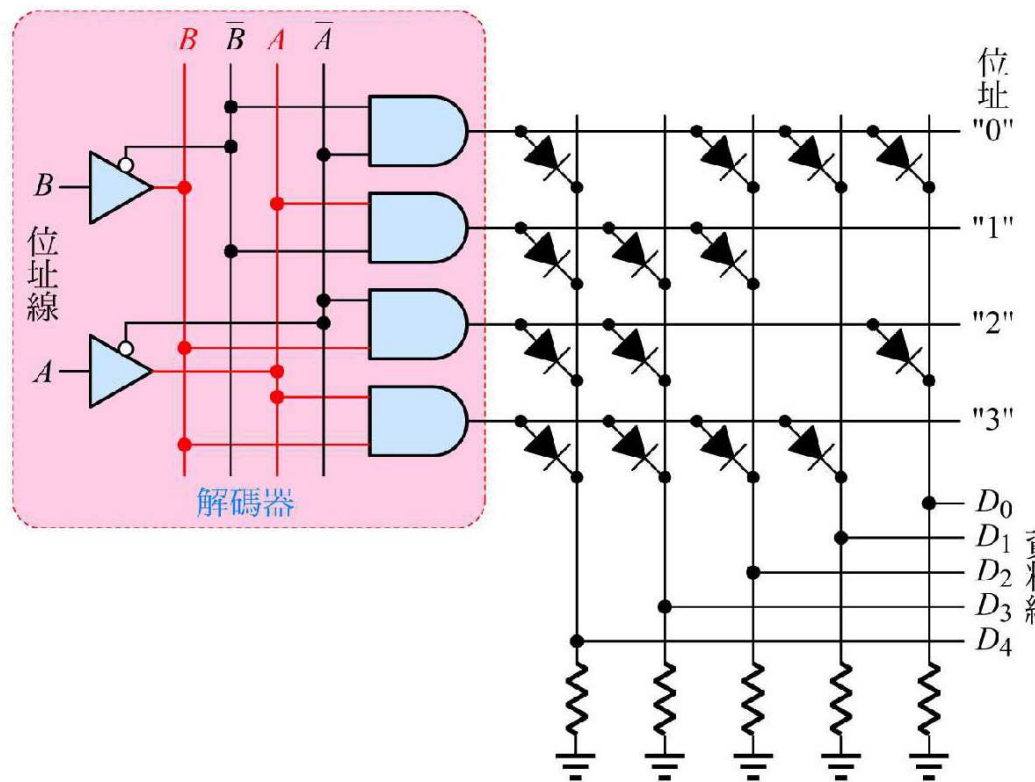
8-1

可程式邏輯元件

唯讀記憶體

位址線		資料線				
B	A	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	1	0	1	1	1
0	1	1	1	1	0	0
1	0	1	1	0	0	1
1	1	1	1	1	1	0

(a)真值表



(b) 4×5 ROM 電路

4x5唯讀記憶體的結構與真值表



勁園文化事業股份有限公司
台科大圖書股份有限公司



8-1

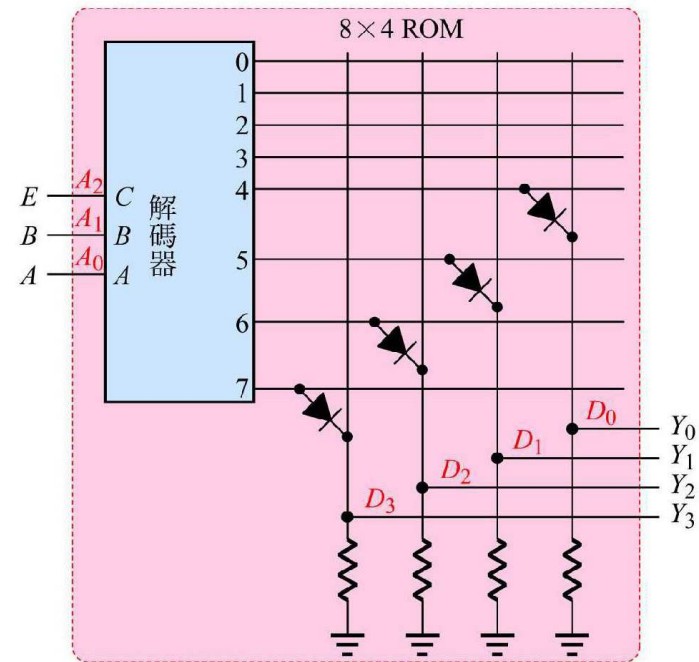
可程式邏輯元件



試以 8×4 ROM 完成一組具致能控制的二對四解碼器。

輸入			輸出			
E	B	A	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

註：2 對 4 解碼器功能詳見圖 7-22。



具致能控制的二對四解碼器

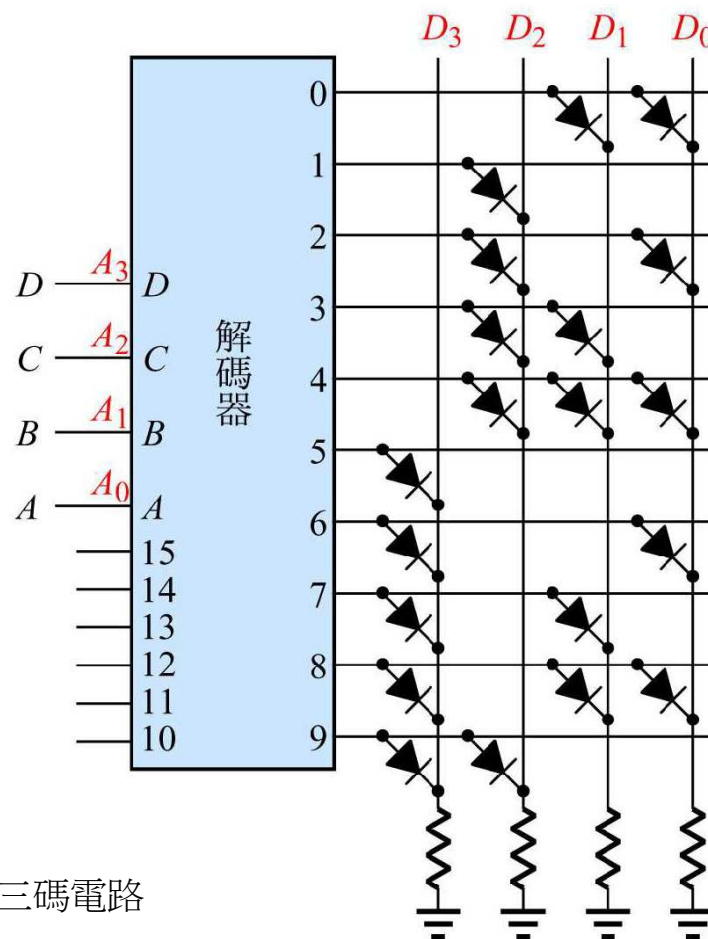


8-1

可程式邏輯元件

BCD碼轉成加三碼電路

BCD 碼				加三碼			
D	C	B	A	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0



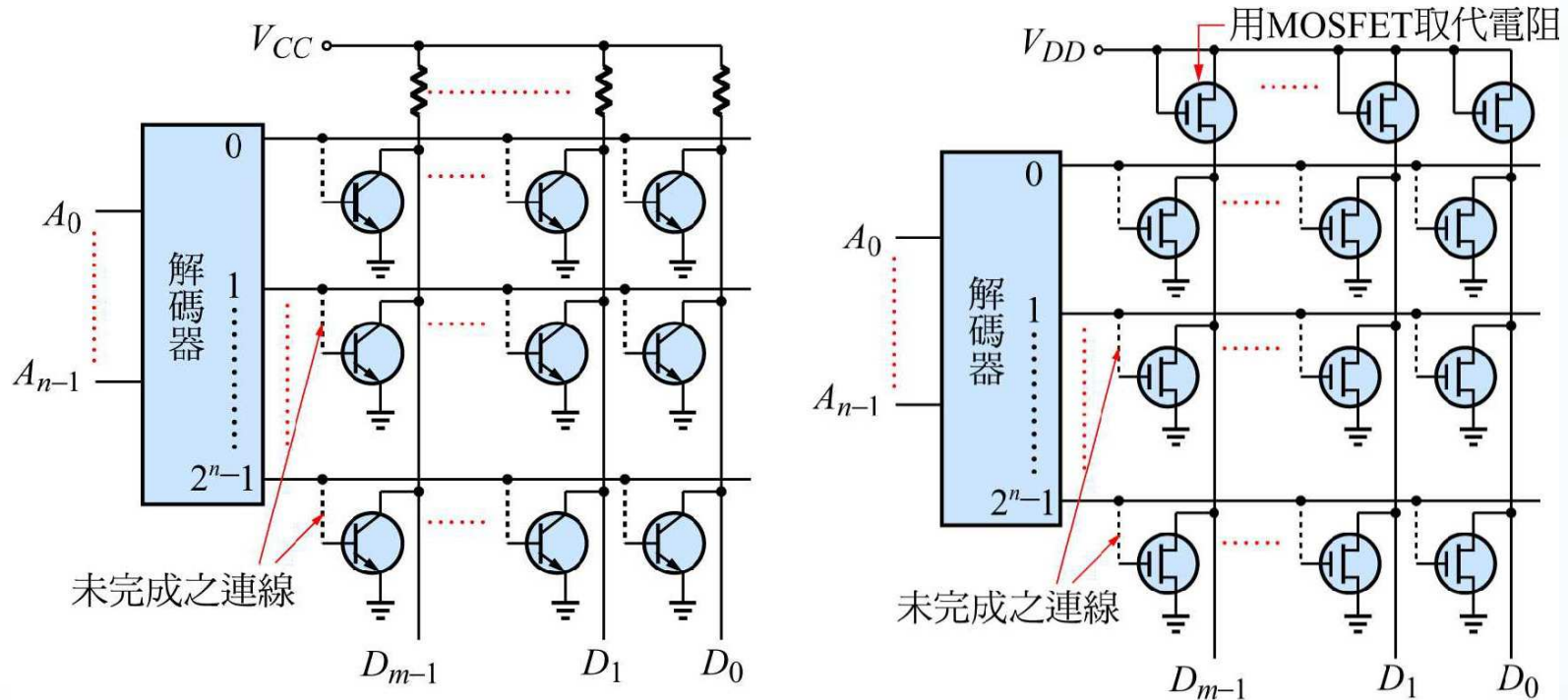
BCD碼轉成加三碼電路



8-1

可程式邏輯元件

可程式的唯讀記憶體



(a) 雙極性 mask ROM

(b) MOS-mask ROM

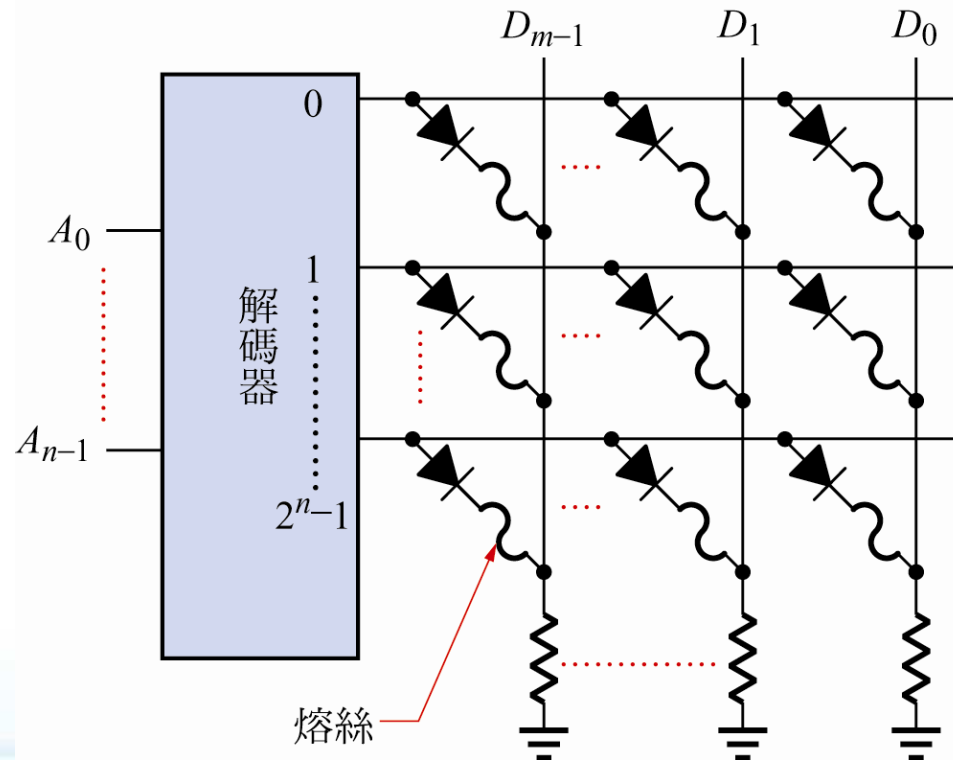
雙極性元件與MOS幕罩式ROM結構圖



8-1

可程式邏輯元件

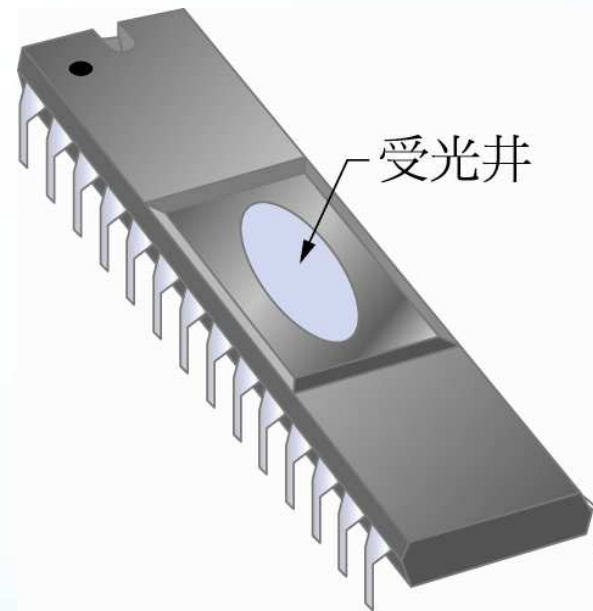
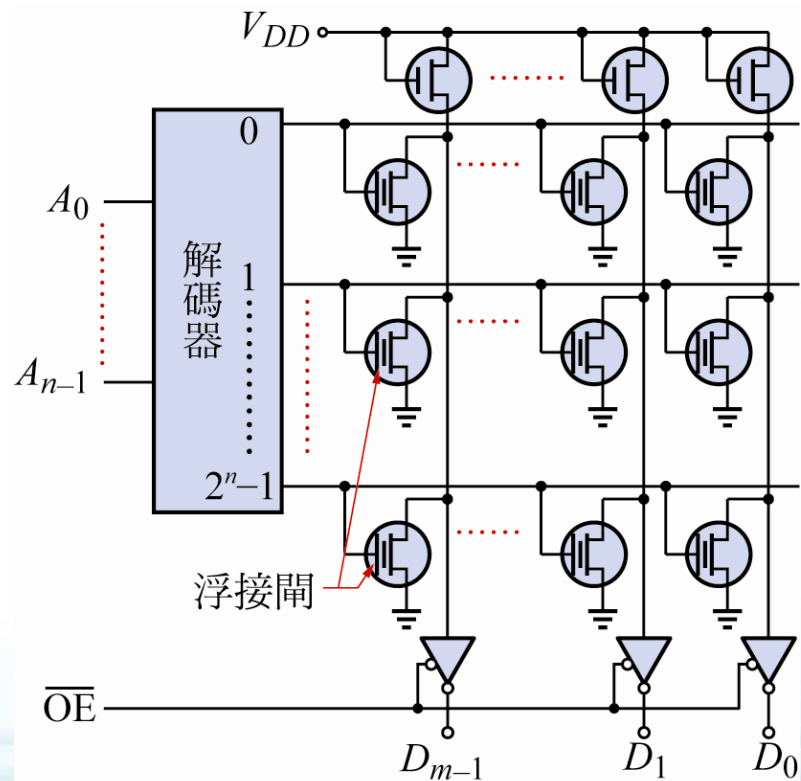
可程式唯讀記憶體



8-1

可程式邏輯元件

可抹除的可程式唯讀記憶體



EPROM外觀



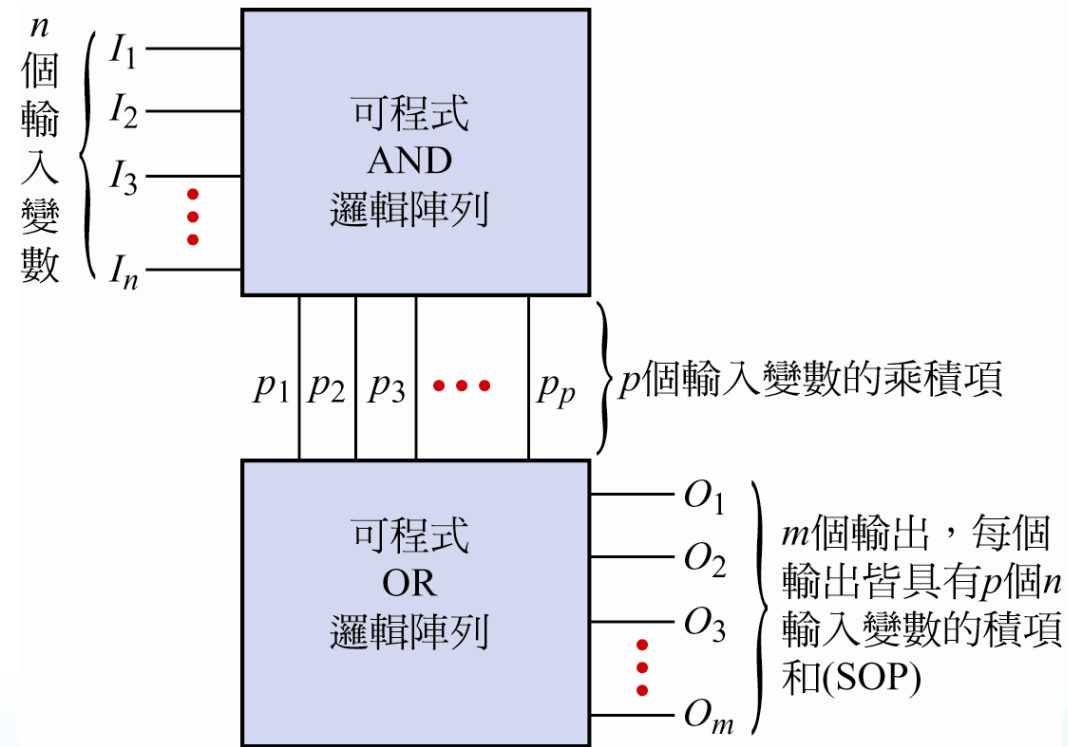
勁園文化事業股份有限公司
台科大圖書股份有限公司



8-2

可程式邏輯陣列

可被用來組成 m 個變數數目小於（或等於） n ，乘積項數目小於（或等於） p 的積項和式電路；稱做“具 p 個乘積項的 $n \times m$ PLA”。

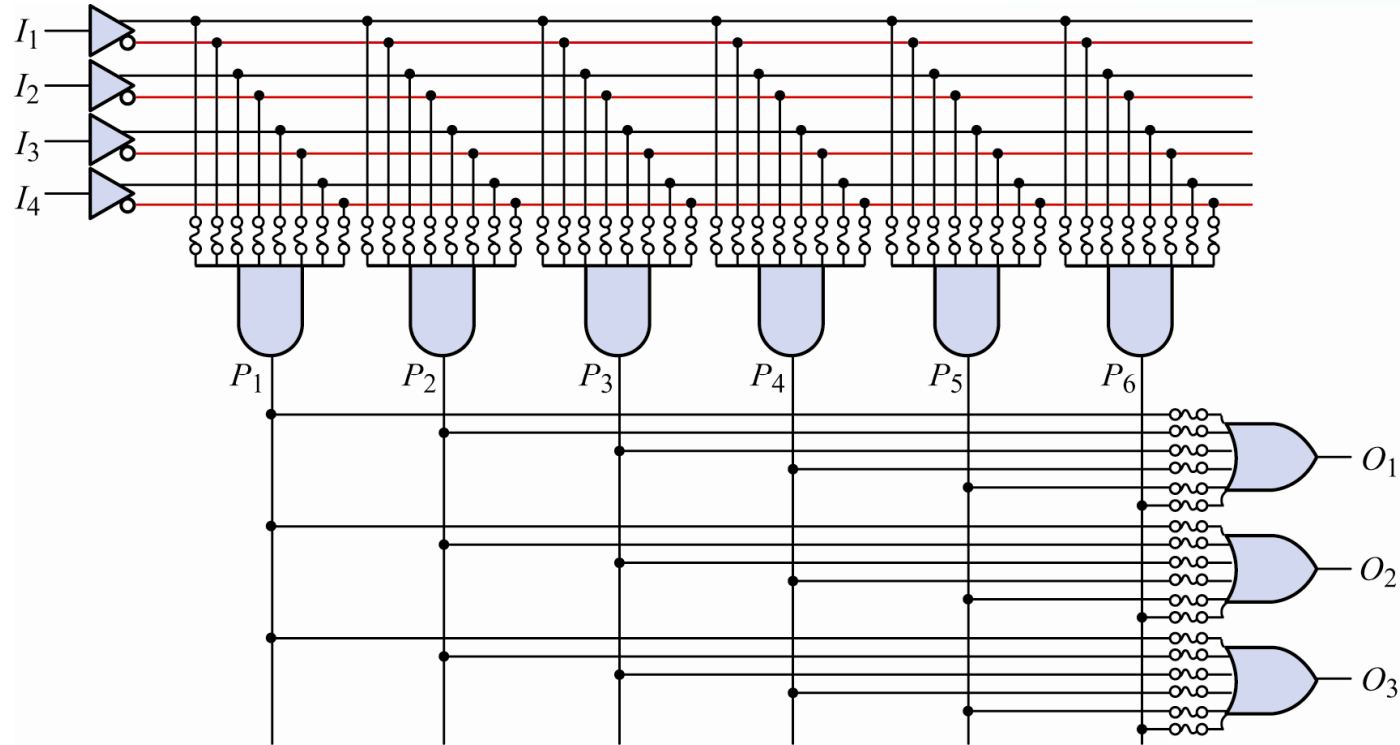


PLA結構方塊圖



8-2

可程式邏輯陣列

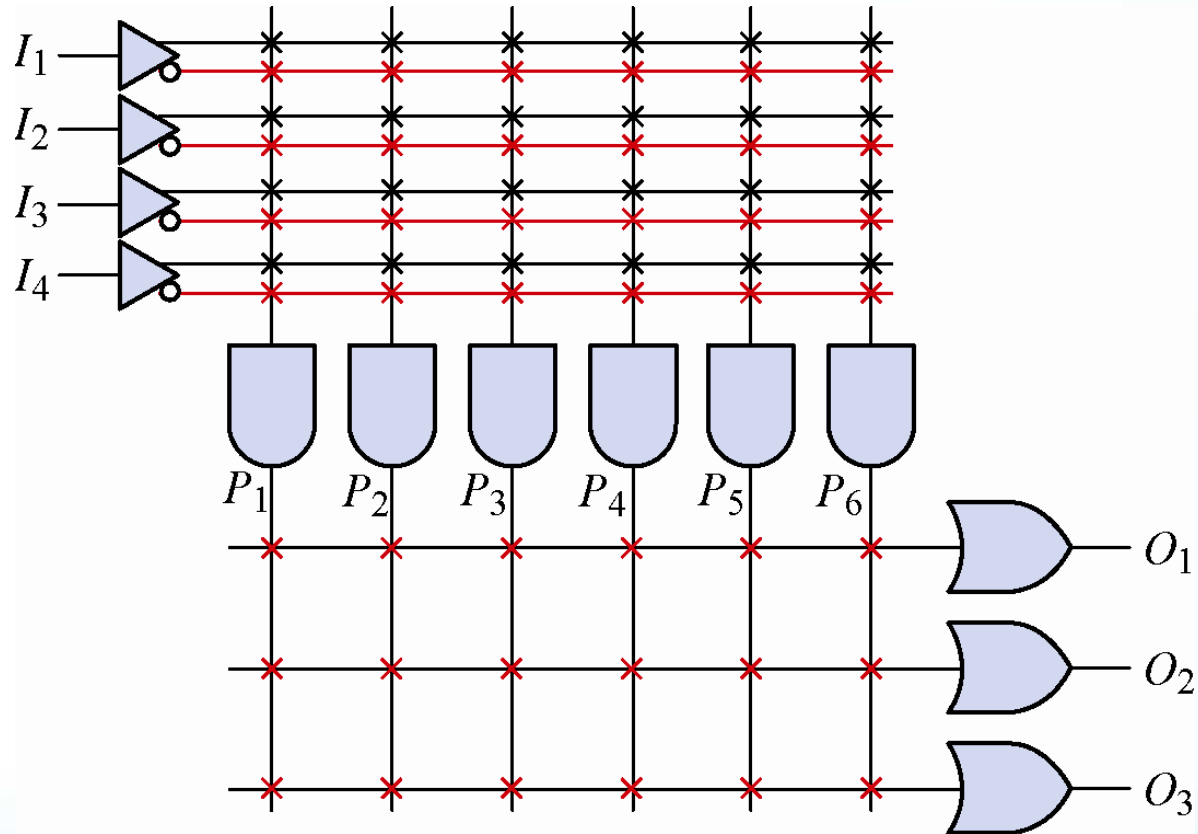


具有六個乘積項4x3的PLA



8-2

可程式邏輯陣列



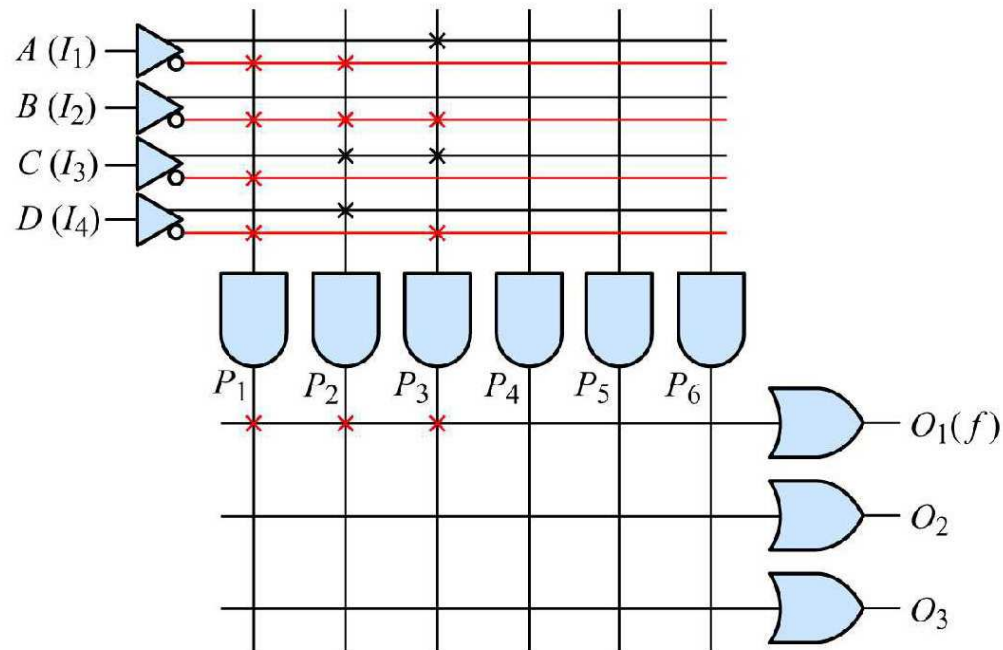
具有六個乘積項4x3 PLA的簡示圖



8-2

可程式邏輯陣列

以圖 8-9 之 PLA 完成 $f = \overline{A}BCD + \overline{A}BC\overline{D} + \overline{A}B\overline{C}D$ 之邏輯電路。



8-2

可程式邏輯陣列

試以圖 8-9 的 4×3 PLA 完成下列函數的電路設計。

$$O_1 = \bar{I}_1 \bar{I}_2 \bar{I}_3 \bar{I}_4 + \bar{I}_1 I_2 I_3 I_4$$

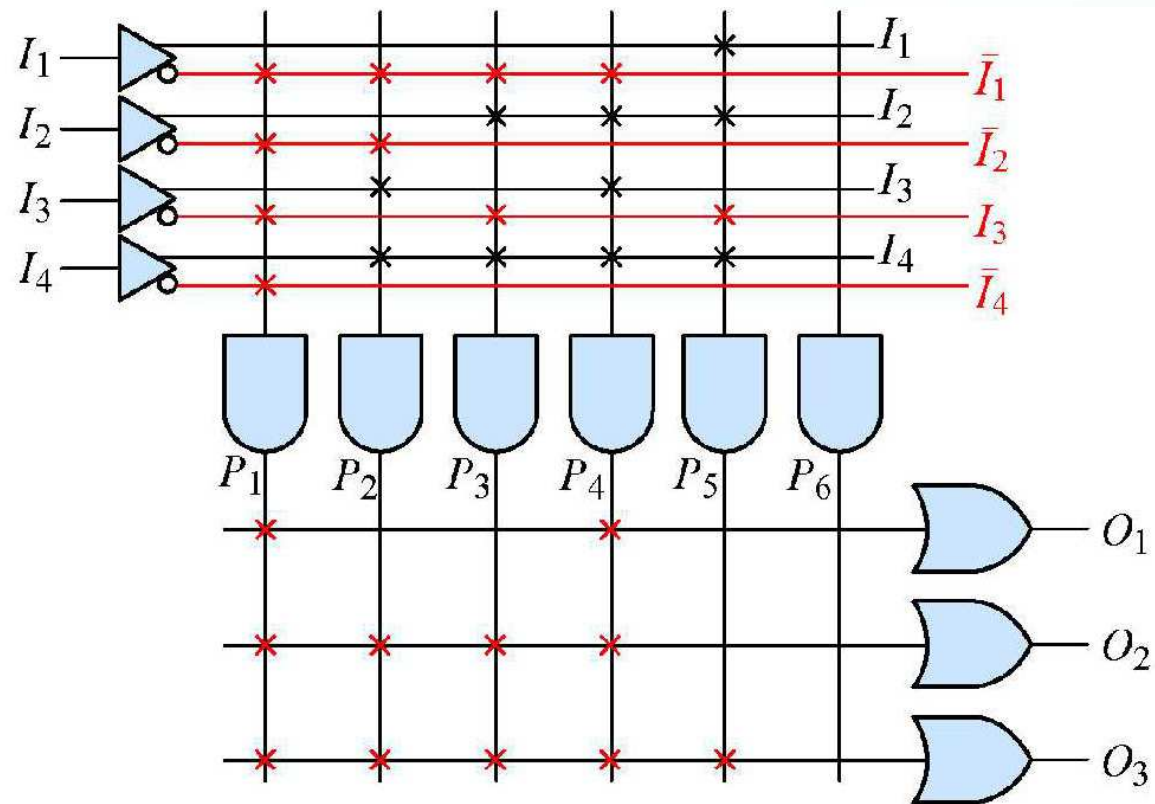
$$O_2 = \bar{I}_1 \bar{I}_2 \bar{I}_3 \bar{I}_4 + \bar{I}_1 \bar{I}_2 I_3 I_4 + \bar{I}_1 I_2 \bar{I}_3 I_4 + \bar{I}_1 I_2 I_3 I_4$$

$$O_3 = \bar{I}_1 \bar{I}_2 \bar{I}_3 \bar{I}_4 + \bar{I}_1 \bar{I}_2 I_3 I_4 + \bar{I}_1 I_2 \bar{I}_3 I_4 + \bar{I}_1 I_2 I_3 I_4 + I_1 I_2 \bar{I}_3 I_4$$



8-2

可程式邏輯陣列



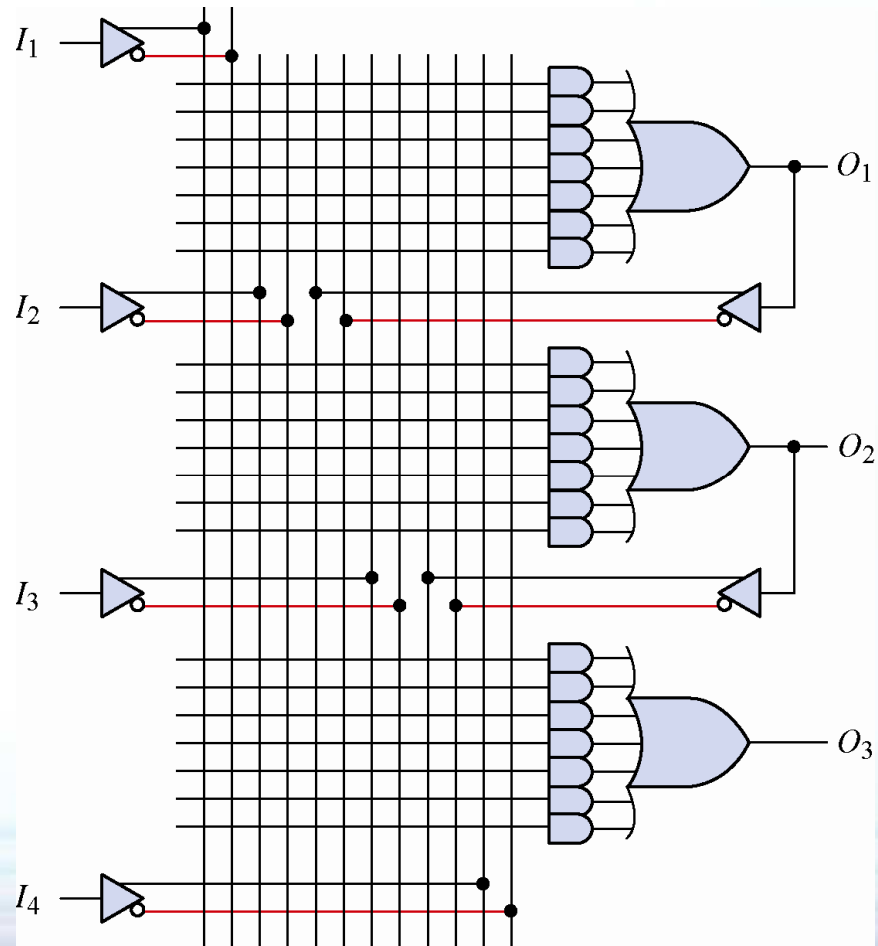
真值表之電路圖



8-3

可程式的陣列邏輯

具7個乘積項4x3 PAL



具7個乘積項4x3 PAL



8-4

商用可程式邏輯元件

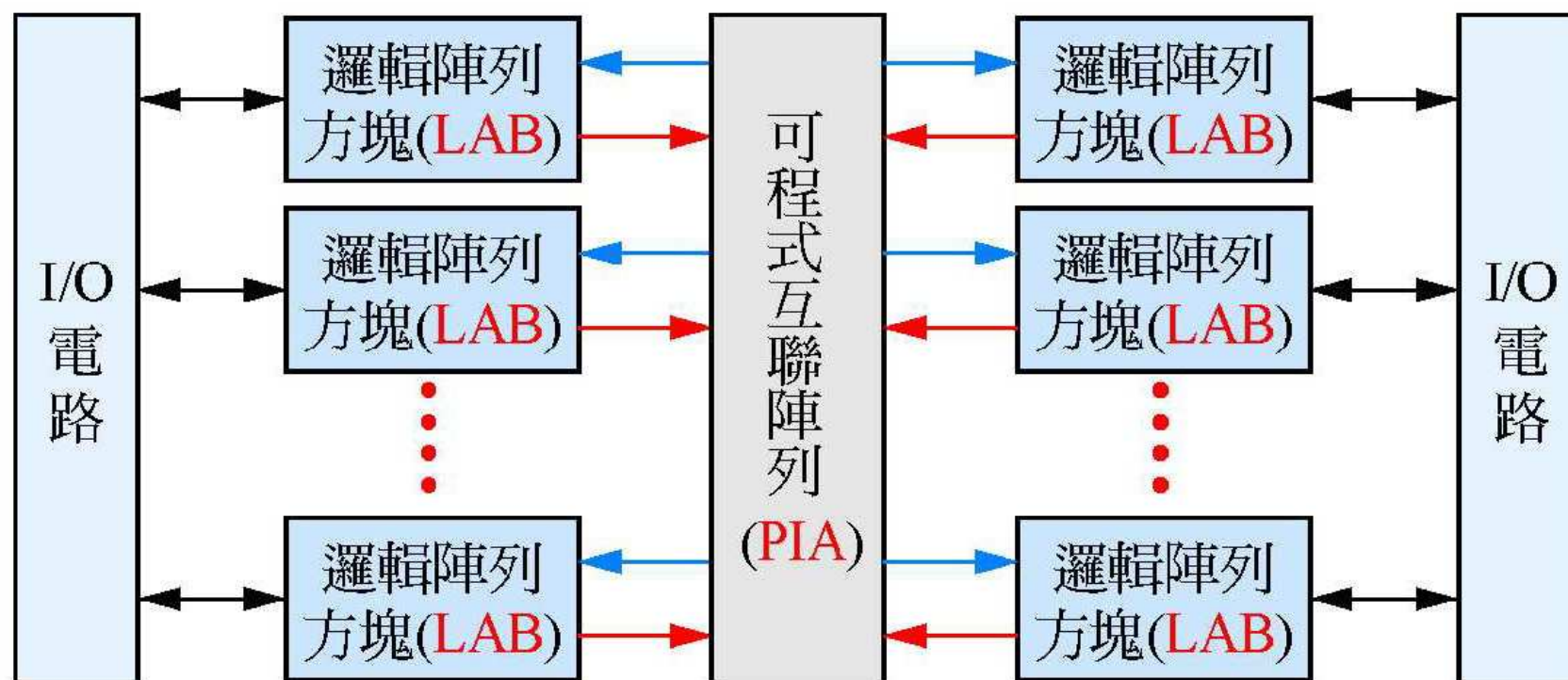
各類SPLD特性比較表

種類	AND 陣列	OR 陣列	特 性
PROM	固定 (參圖 8-1)	可規劃 (參圖 8-5)	只能規劃一次 (註：AND 陣列就是解碼器)
PLA	可規劃	可規劃	1. 只能規劃一次。 2. 具 AND/OR 雙層熔絲，速度慢。
PAL	可規劃	固定	1. 只能規劃一次，輸出具內部串級使用功能。 2. 只有 AND 陣列有熔絲，速度快。
GAL	可規劃	固定	與 PAL 同，但具電氣清除功能，可重複規劃。
PEEL	可規劃	固定	與 GAL 同，但可重複規劃次數更高。



8-4

※商用可程式邏輯元件

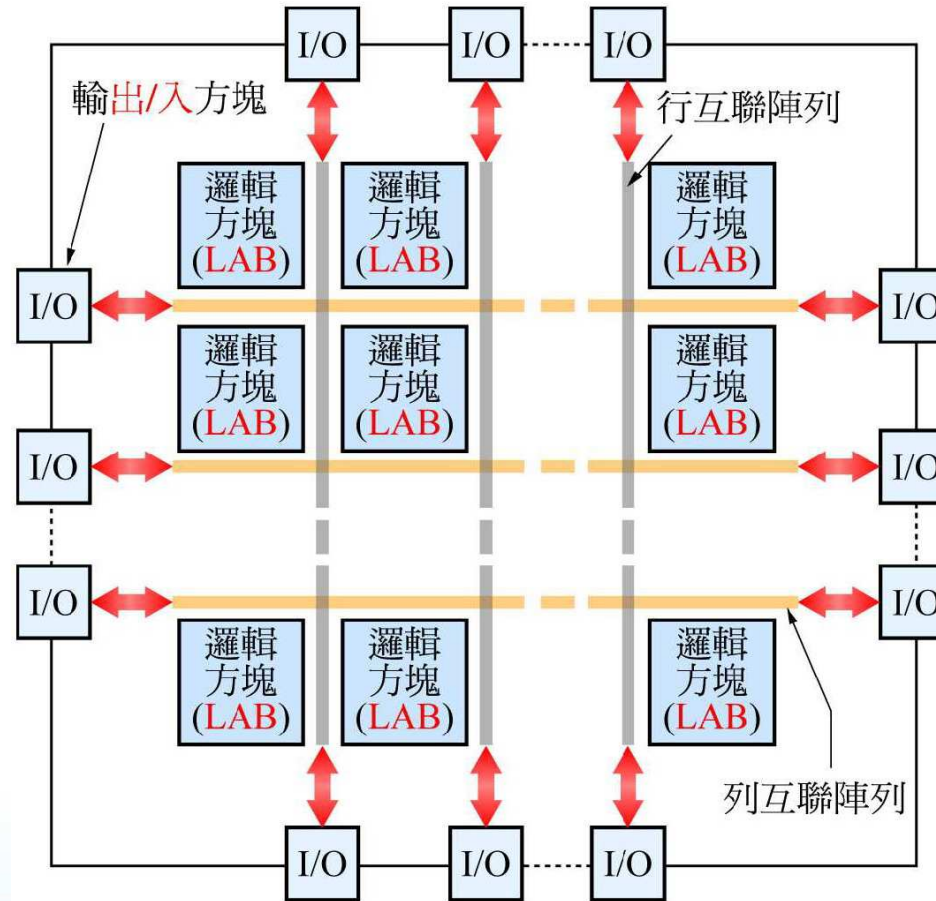


CPLD架構示意圖



8-4

※商用可程式邏輯元件



FPGA架構示意圖



數位邏輯

第9章循序邏輯

9-1 正反器

9-2 暫存器

9-3 計數器



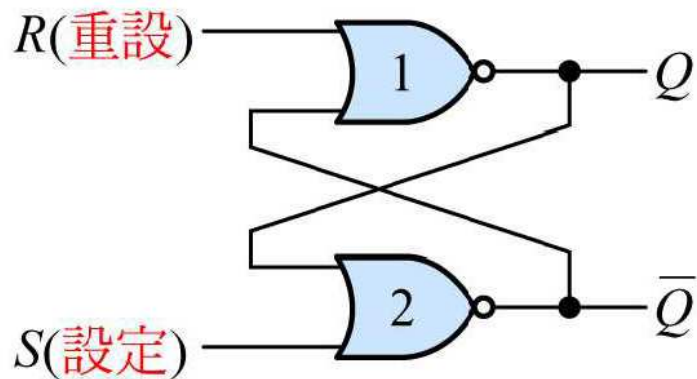
SINCE1997

勁園文化事業股份有限公司
台科大圖書股份有限公司

9-1

R-S 正反器

正反器



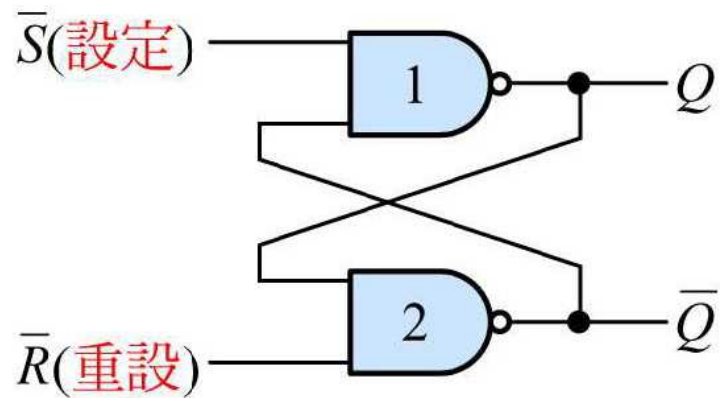
動作	S	R	Q	\bar{Q}
設定	1	0	1	0
重設	0	1	0	1
不變	0	0	Q	\bar{Q}
不允許	1	1	0*	0*

R-S正反器的電路與真值表



9-1

正反器



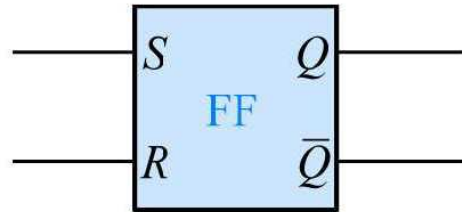
動作	\bar{S}	\bar{R}	Q	\bar{Q}
設定	0	1	1	0
重設	1	0	0	1
不變	1	1	Q	\bar{Q}
不允許	0	0	1*	1*

由NAND閘構成的R-S正反器與真值表



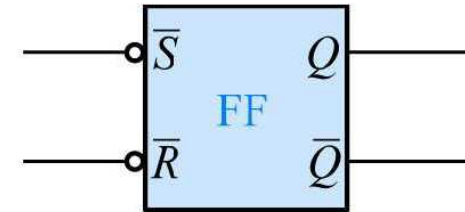
9-1

正反器



S	R	Q
0	0	Q
0	1	0
1	0	1
1	1	不允許

(a) 高態動作 (active high)



\bar{S}	\bar{R}	Q
0	0	不允許
0	1	1
1	0	0
1	1	Q

(b) 低態動作 (active low)

R-S正反器的符號與真值表



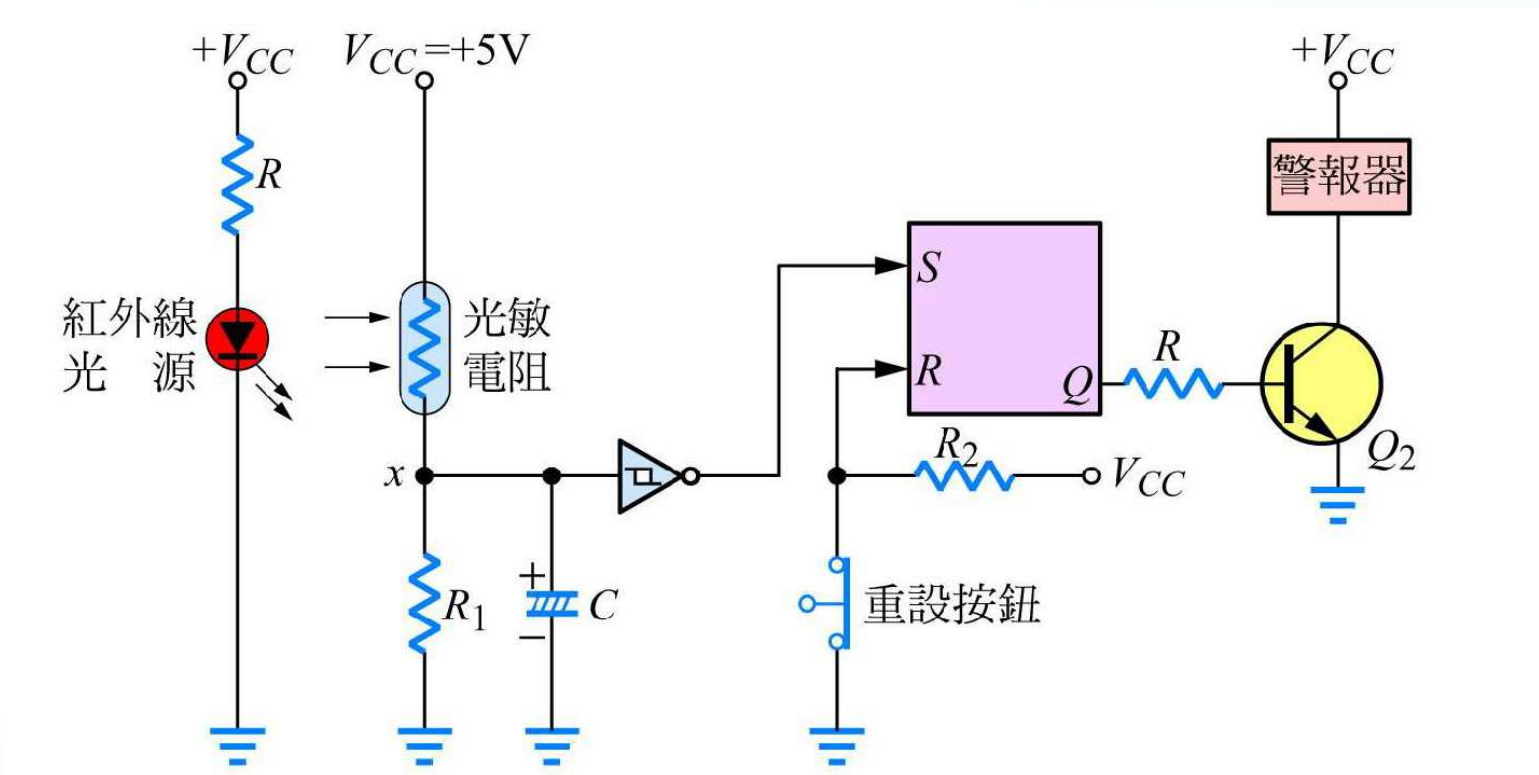
勁園文化事業股份有限公司
台科大圖書股份有限公司



9-1

正反器

例題9-1



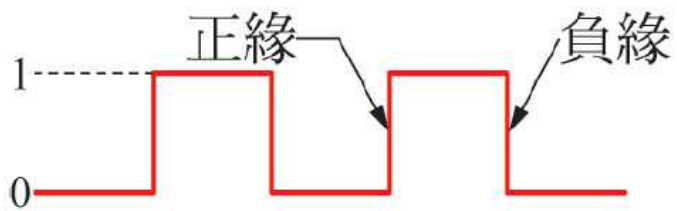
簡單的防盜警報器



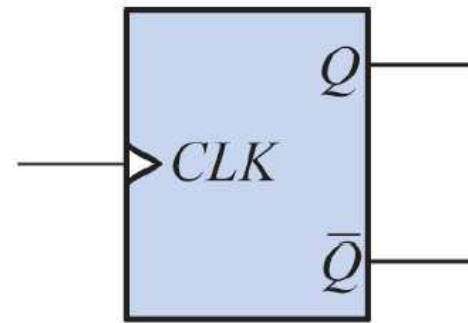
9-1

正反器

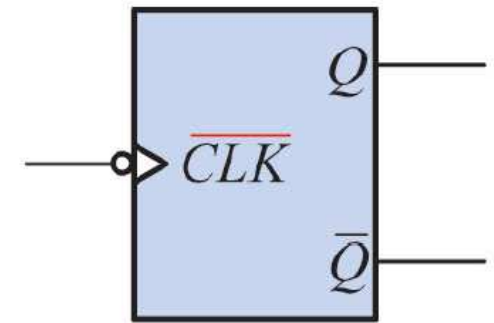
正反器時序脈波的邊緣觸發



(a) 時序脈波



(b) 正緣觸發

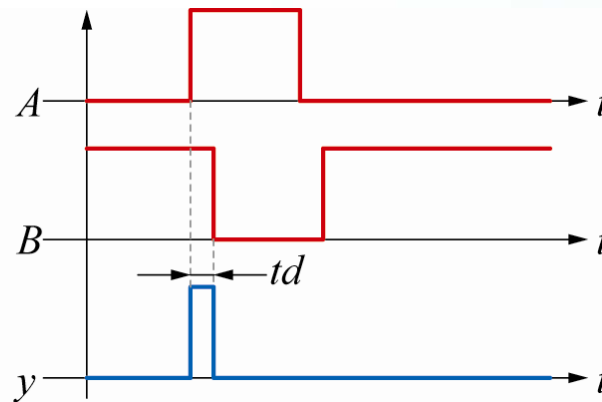
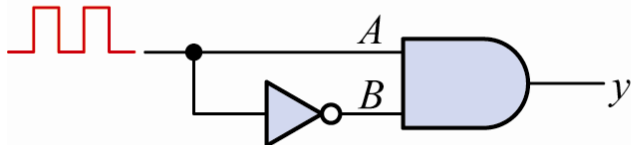


(c) 負緣觸發

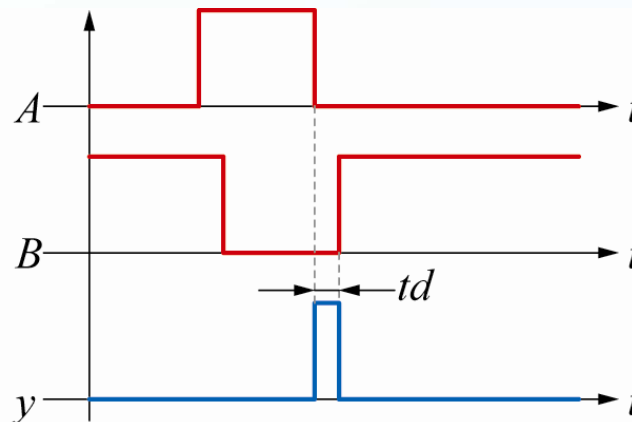
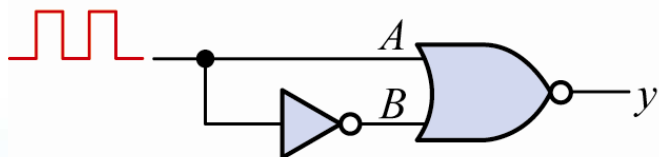


9-1

正反器



正緣取出電路



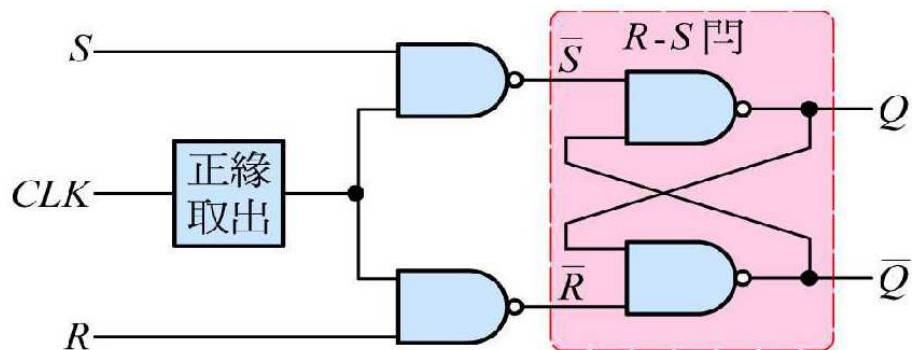
負緣取出電路



9-1

正反器

正緣觸發型R-S正反器

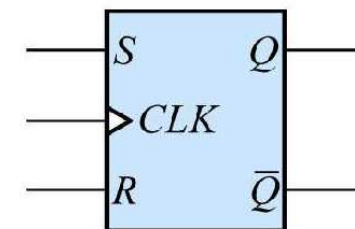


(a) 電路結構

CLK	S	R	\bar{S}	\bar{R}	Q_{n+1}
0	×	×	1	1	Q_n
1	×	×	1	1	Q_n
↓	×	×	1	1	Q_n
↑	0	0	1	1	Q_n
↑	0	1	1	0	0
↑	1	0	0	1	1
↑	1	1	0	0	1*

1*：表不允許狀態

(b) 真值表



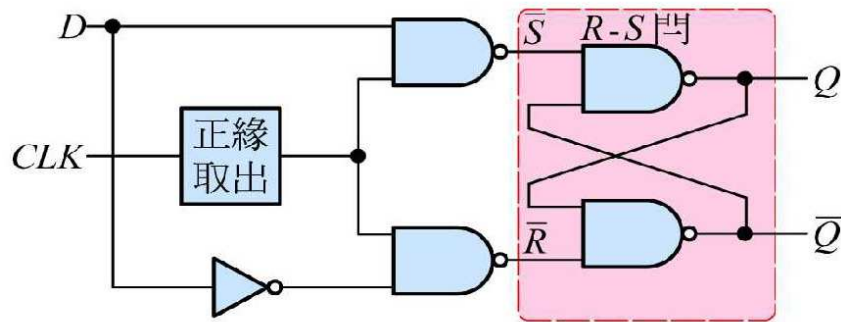
(c) 符號



9-1

正反器

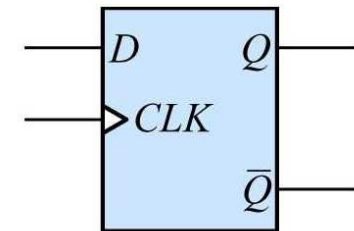
正緣觸發型D型正反器



(a) 電路結構

CLK	D	\bar{S}	\bar{R}	Q_{n+1}
0	×	1	1	Q_n
1	×	1	1	Q_n
↓	×	1	1	Q_n
↑	0	1	0	0
↑	1	0	1	1

(b) 真值表



(c) 符號



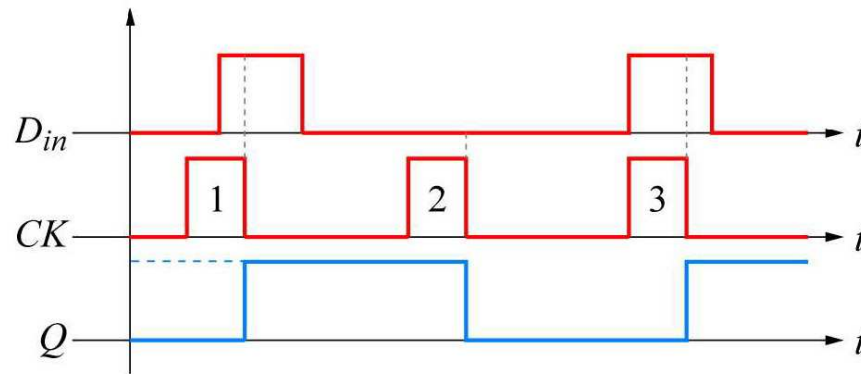
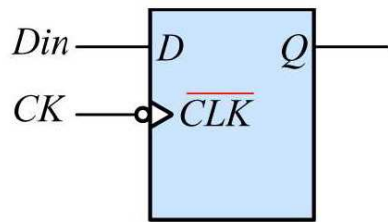
勁園文化事業股份有限公司
台科大圖書股份有限公司



9-1

正反器

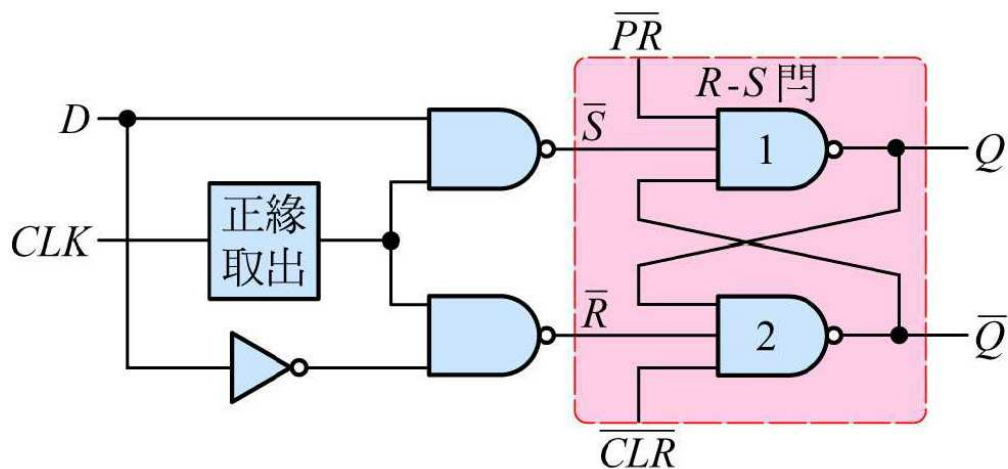
如圖所示電路，試求其 Q 的輸出波形。



9-1

正反器

具預設及清除的D型正反器



(a) 電路結構

\overline{PR}	\overline{CLR}	CLK	D	Q_{n+1}
0	0	×	×	*
0	1	×	×	1
1	0	×	×	0
1	1	0	×	Q_n
1	1	1	×	Q_n
1	1	↓	×	Q_n
1	1	↑	0	0
1	1	↑	1	1

*不可使預設及清除同時為 0。

(b) 真值表



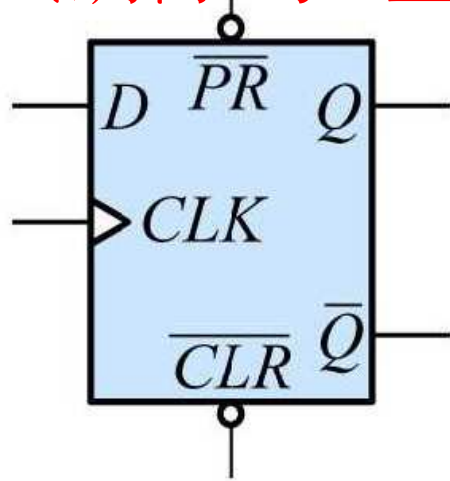
勁園文化事業股份有限公司
台科大圖書股份有限公司



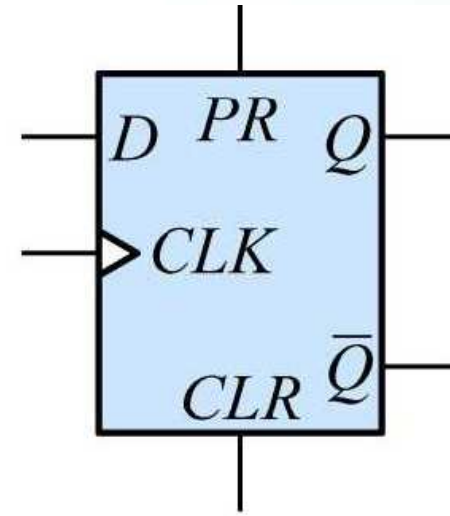
9-1

正反器

具預設與清除的D型正反器



(a)以 0 預設及清除



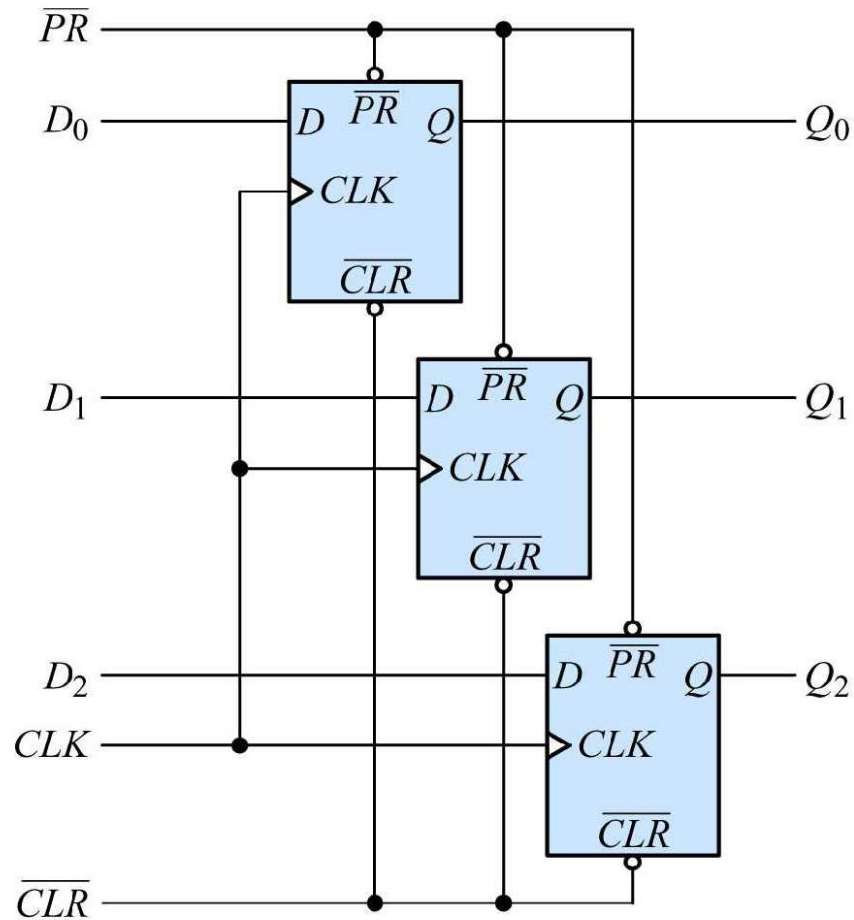
(b)以 1 預設及清除



9-1

3位元資料暫存器

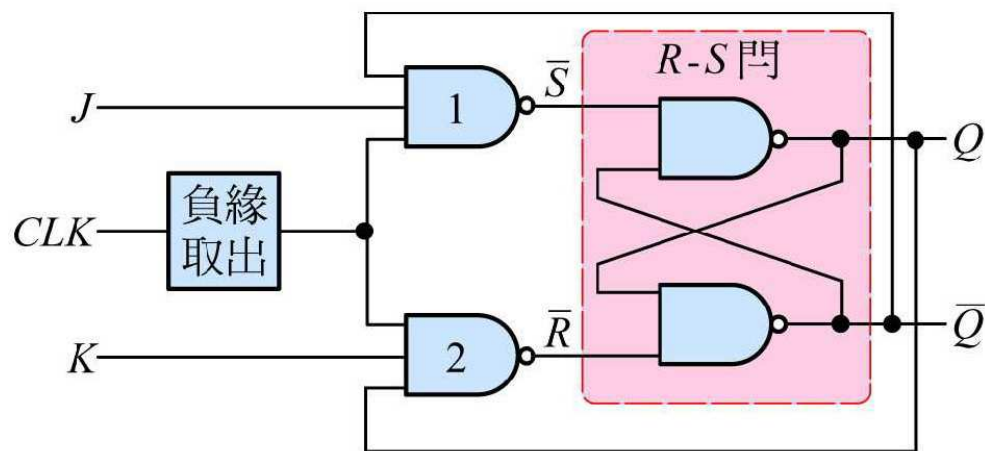
正反器



9-1

正反器

邊緣觸發型JK正反器



(a) 電路結構

\overline{CLK}	J	K	Q_{n+1}
0	×	×	Q_n
1	×	×	Q_n
↑	×	×	Q_n
×	0	0	Q_n
↓	0	1	0
↓	1	0	1
↓	1	1	$\overline{Q_n}$

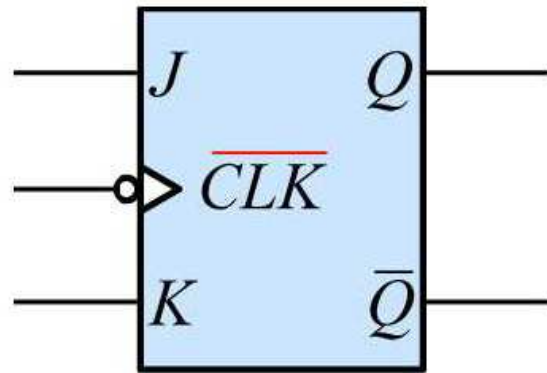
(b) 真值表



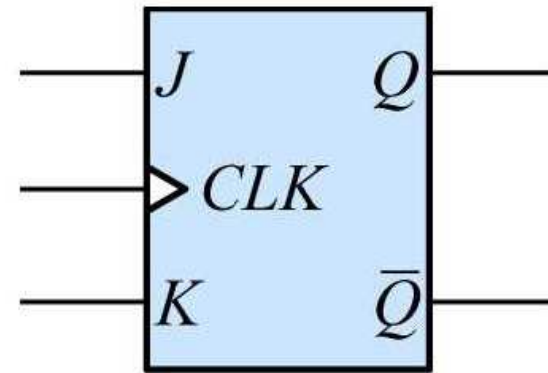
9-1

正反器

JK正反器符號



(a)負緣觸發型



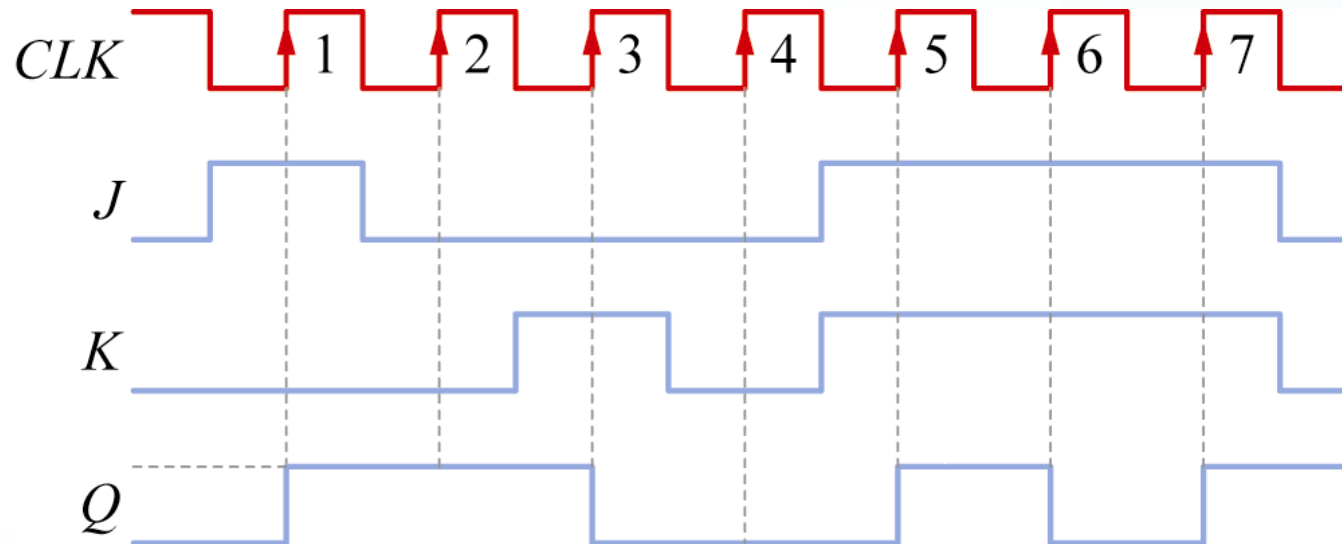
(b)正緣觸發型



9-1

正反器

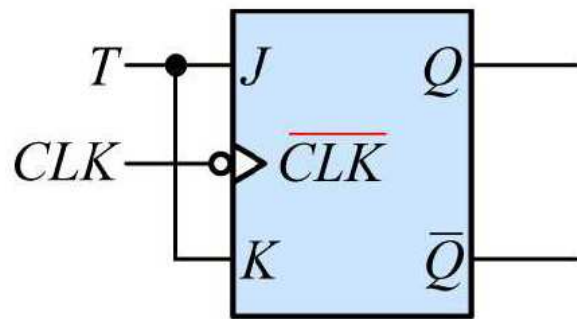
在正緣觸發型 JK 正反器中，若 J 、 K 與 CLK 的輸入信號如圖所示，試繪出其輸出 Q 的波形。



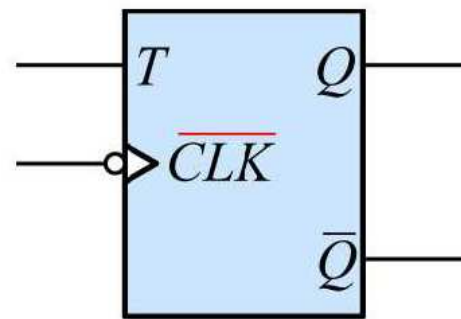
9-1

正反器

T型正反器



(a) 結構



(b) 符號

T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

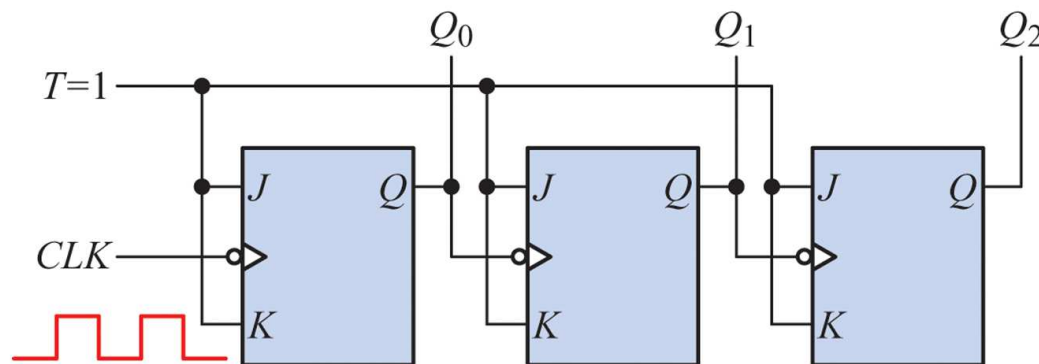
(c) 真值表



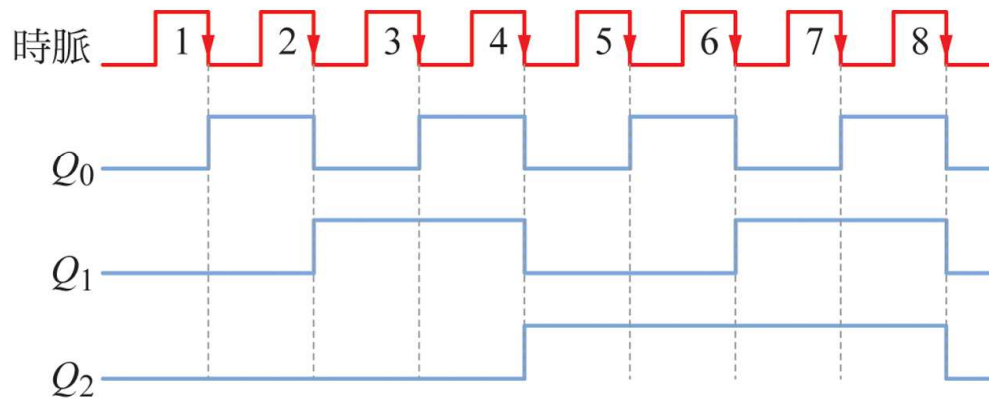
9-1

正反器

試完成 3 位元計數電路的真值表與時序圖。



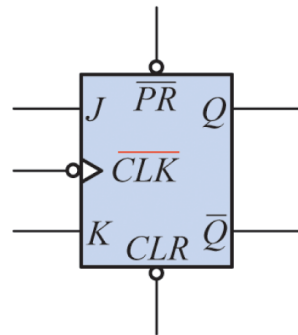
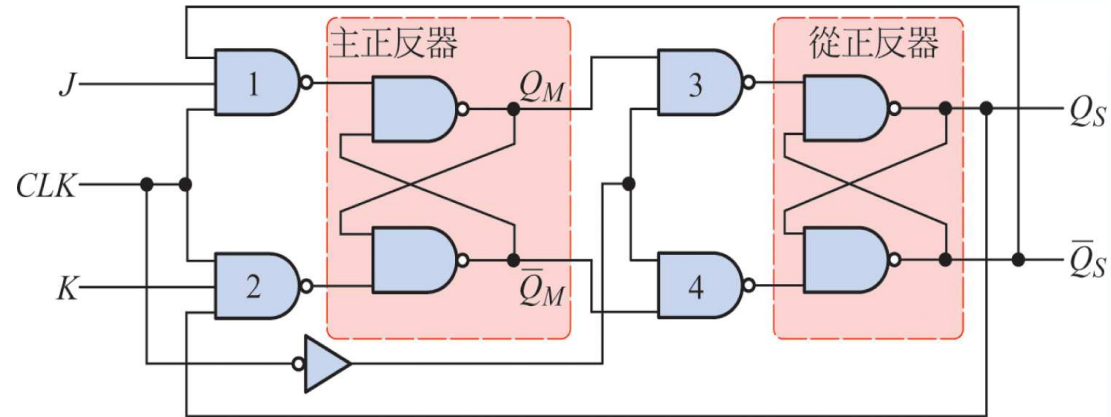
時序	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0



9-1

正反器

※J、K主從式正反器



PR	CLR	CLK	J	K	Q_{n+1}
0	0	×	×	×	*
0	1	×	×	×	1
1	0	×	×	×	0
1	1		0	0	Q_n
1	1		0	1	0
1	1		1	0	1
1	1		1	1	\bar{Q}_n

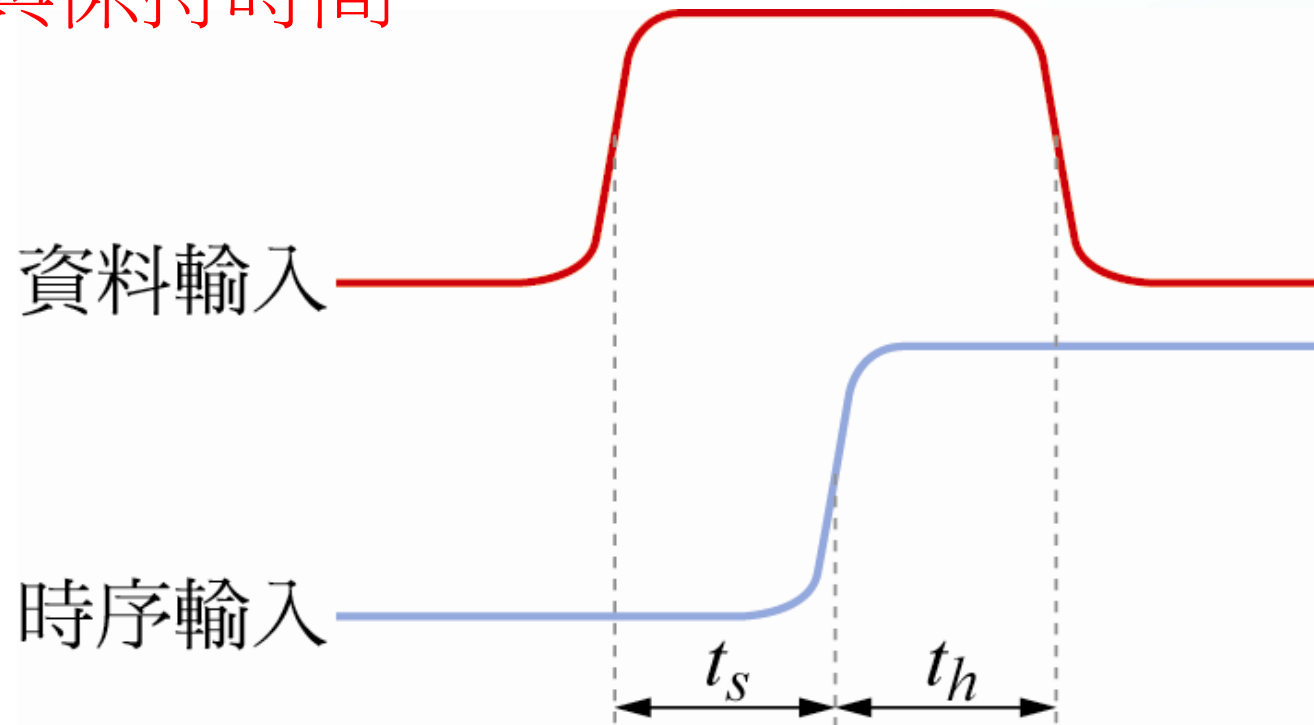
* 表不確定狀態，即不可使 PR 及 CLR 同



9-1

正反器

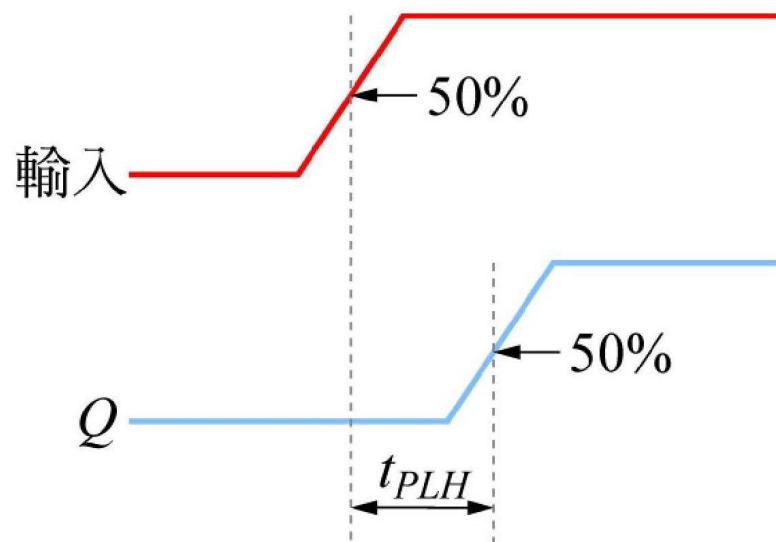
※設置與保持時間



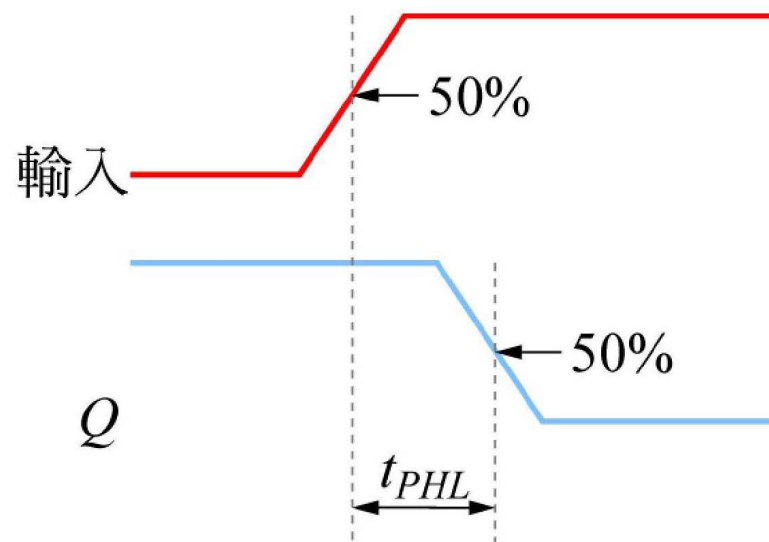
9-1

正反器

※ 傳遞延遲時間都是以其平均值表示，即 $t_p = \frac{t_{PLH} + t_{PHL}}{2}$ 。



(a) 輸出由 0 到 1 的傳遞延遲



(b) 輸出由 1 到 0 的傳遞延遲

正反器的傳遞延遲

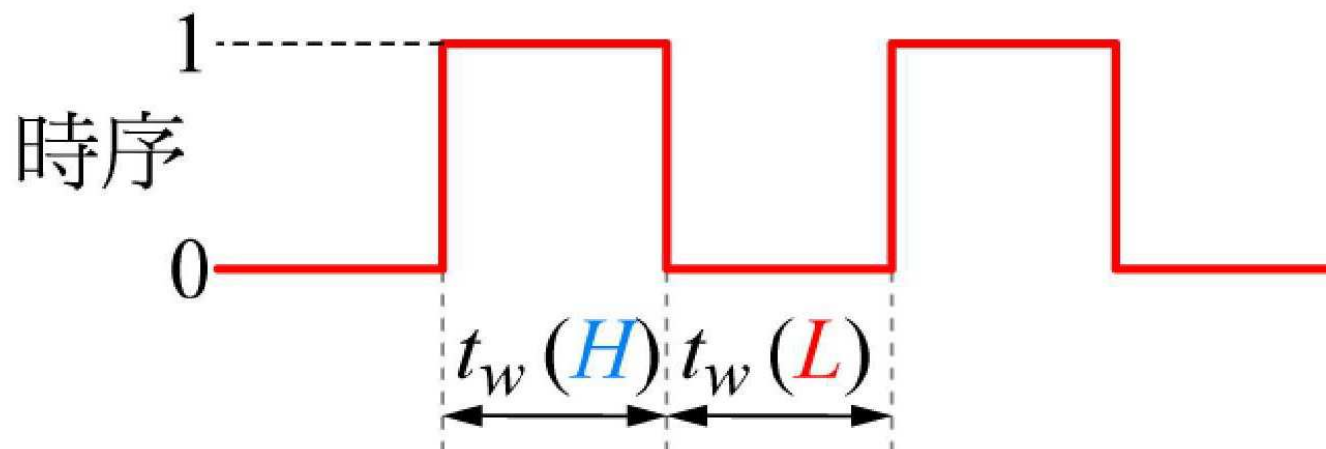


勁園文化事業股份有限公司
台科大圖書股份有限公司



9-1

正反器



脈波高電位和低電位時間的定義



9-1

正反器



正反器的時序值

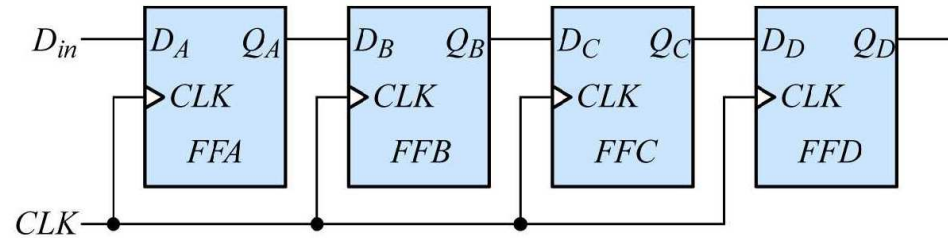
項 目	74LS74	74LS112	4013B	4027B
t_s	20	20	60	100
t_H	5	0	0	0
t_{PHL} —從 CLK 到 Q	40	24	200	200
t_{PLH} —從 CLK 到 Q	25	16	200	200
t_{PHL} —從控制資料輸入到 Q	40	24	225	350
t_{PLH} —從控制資料輸入到 Q	25	16	225	350
$t_w(L)$ —CLK 低電位時間	25	15	100	150
$t_w(H)$ —CLK 高電位時間	25	20	100	150
$t_w(L \text{ 或 } H)$ —資料輸入	25	15	60	150
f_{MAX}^* — in MHz	25	30	5	4



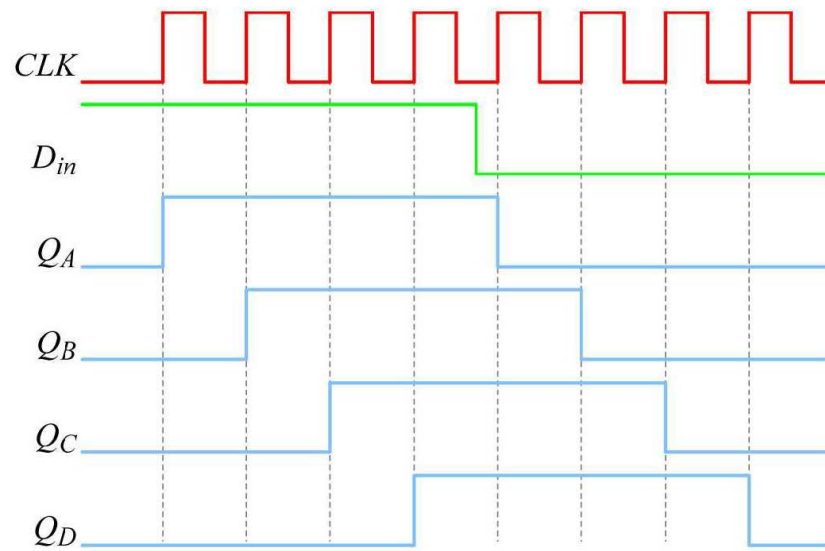
9-2

串列暫存器

暫存器



(a) 電路圖



(b) 時序圖

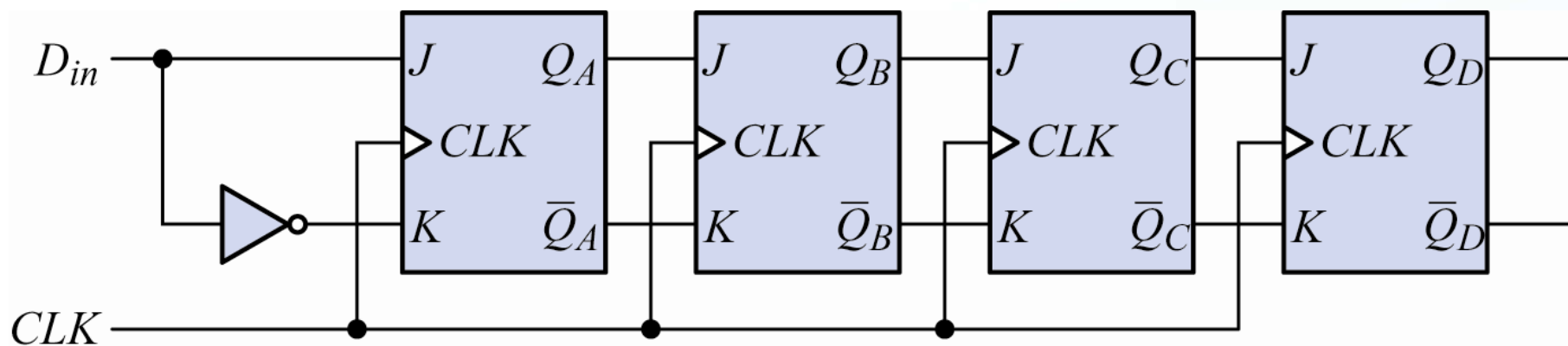
4位元串列移位暫存器



9-2

暫存器

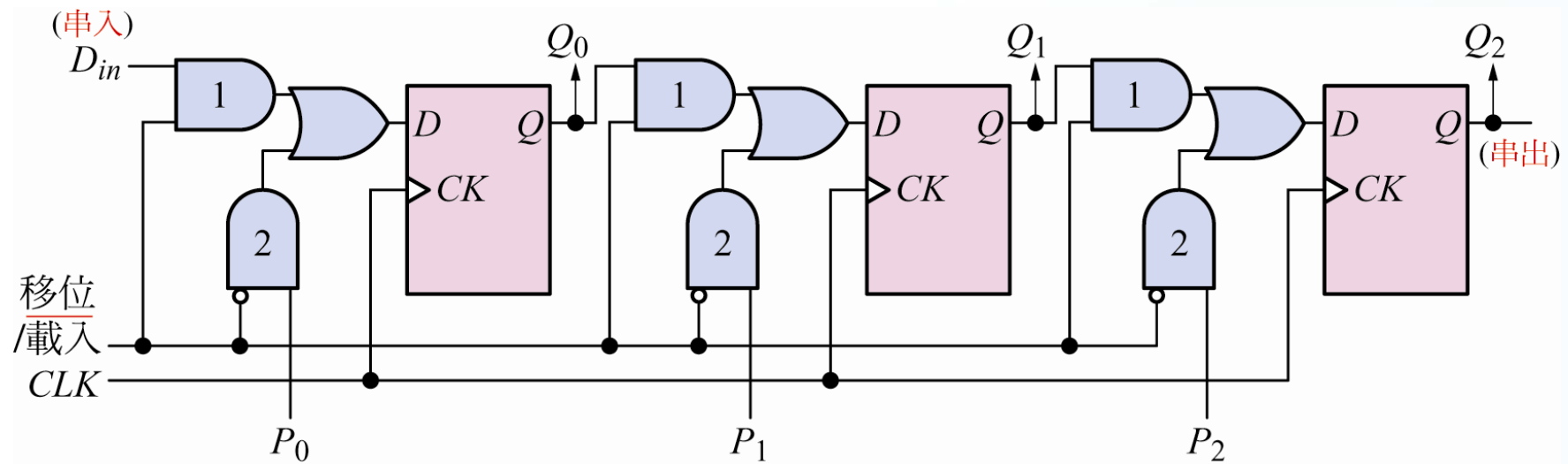
JK串列移位暫存器



9-2

暫存器

通用暫存器



9-2

暫存器

並入／串出（PISO）等四種，茲舉例如下：

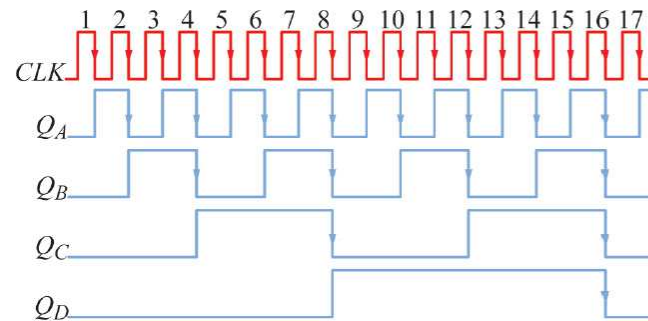
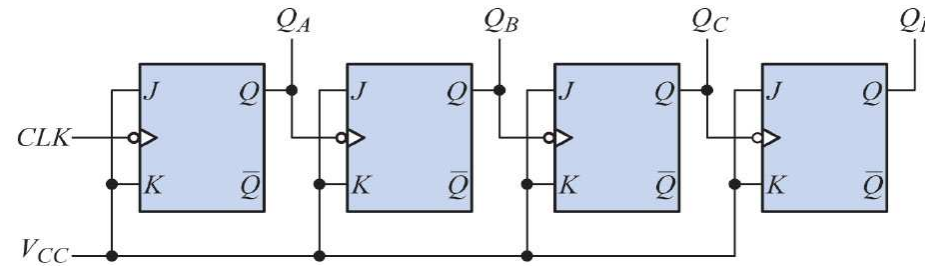
74164	具串入／串出與串入／並出的 8 位元移位暫存器。
4015	兩組具串入／串出與串入／並出的 4 位元移位暫存器。
74165	具串入／串出與並入／串出的 8 位元移位暫存器。
4035	具串入／串出，串入／並出，並入／串出與並入／並出的 4 位元移位暫存器。
74198	具串入／串出，串入／並出，並入／並出，並入／串出與左、右移位的 8 位元通用暫存器。



9-3

計數器

非同步計數器又稱為漣波計數器（ripple counter）。



CLK	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

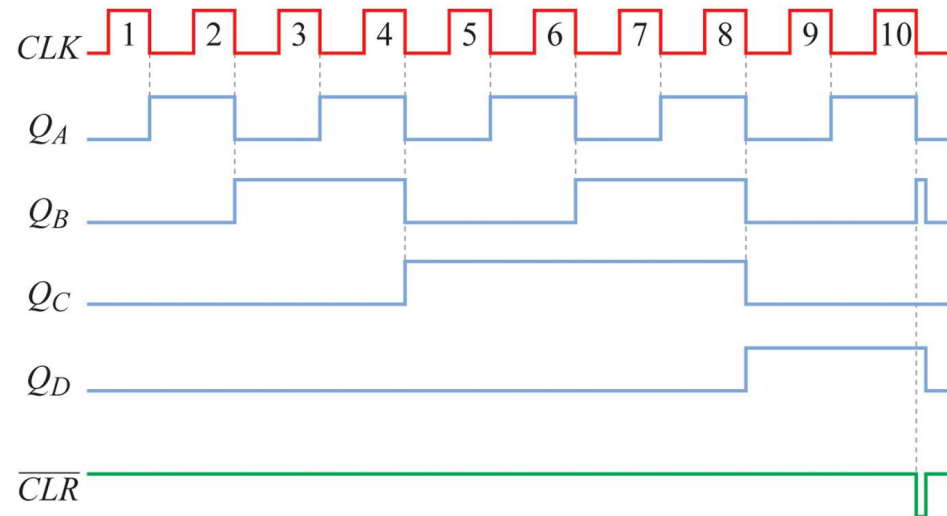
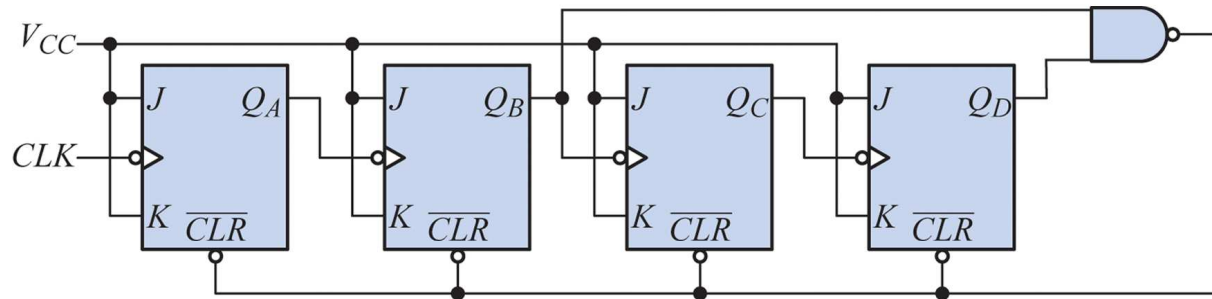
4位元二進計數器



9-3

計數器

試設計一組模-10 漣波計數器 (BCD 計數器)



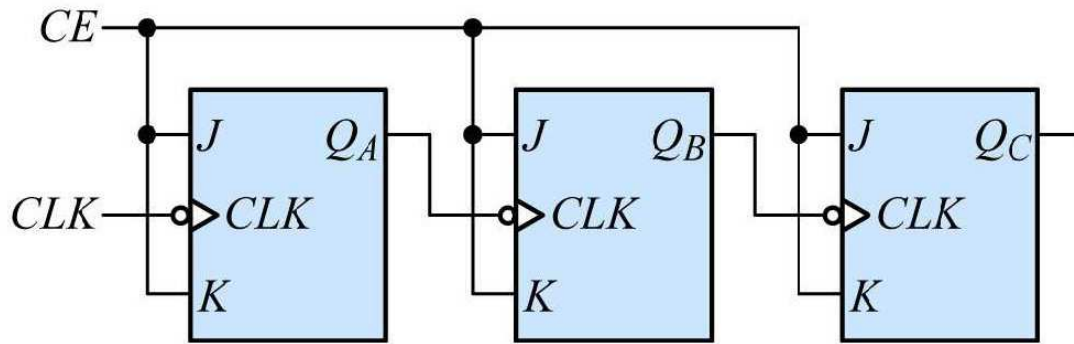
BCD 計數器



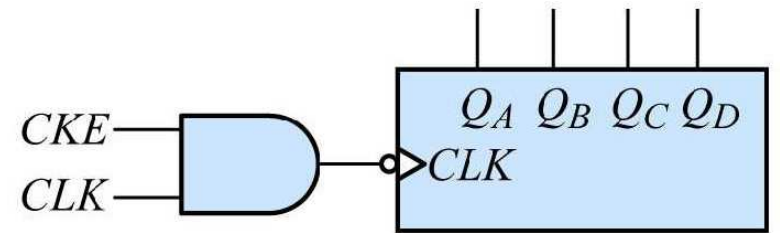
9-3

計數器

可控制計數器



(a) T 型正反器的計數控制



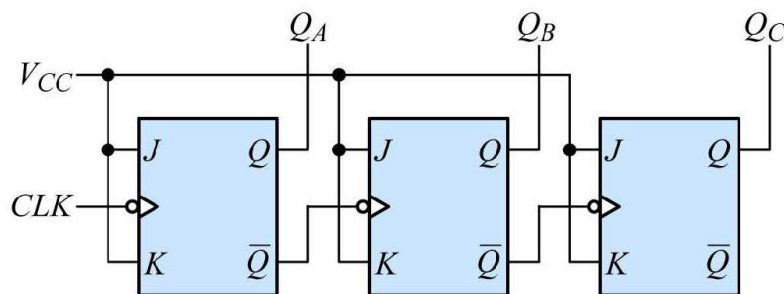
(b) 時序致能控制



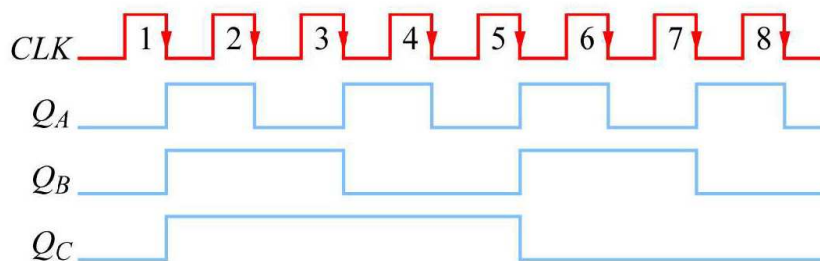
9-3

計數器

上數／下數計數器



(a) 電路圖



(c) 時序圖

時序	Q_C	Q_B	Q_A
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1

(b) 真值表

3位元二進下數計數器

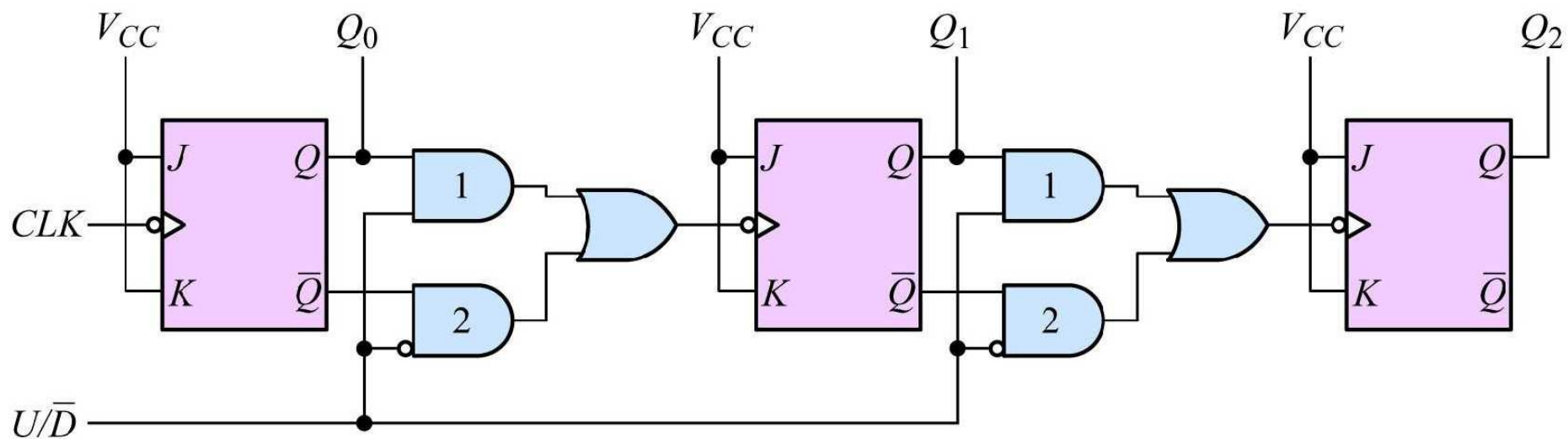


勁園文化事業股份有限公司
台科大圖書股份有限公司



9-3

計數器



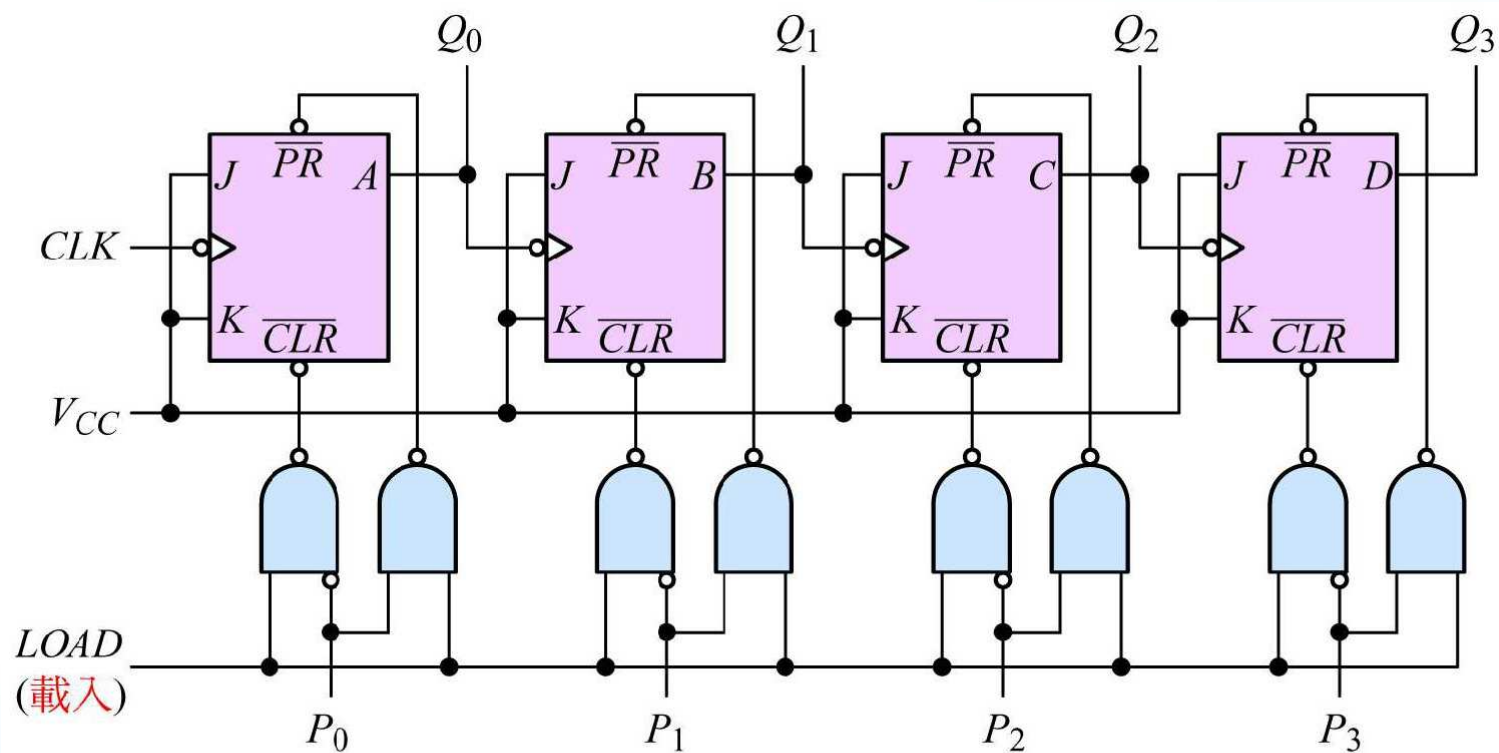
3位元二進上數／下數計數器



9-3

計數器

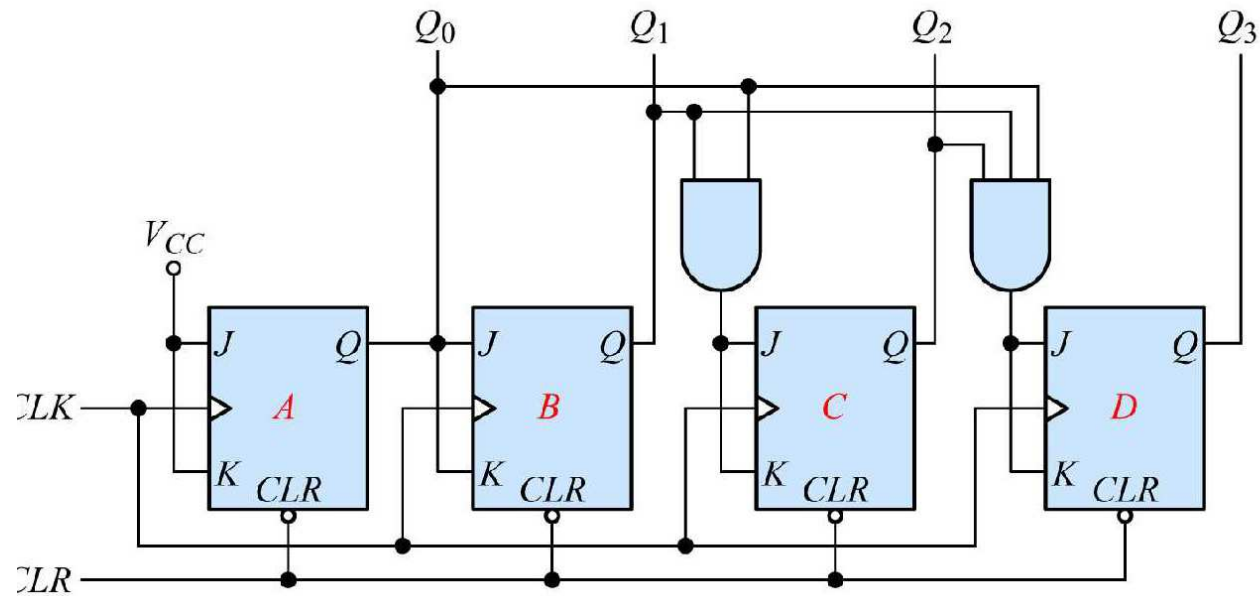
4位元可預設計數器



9-3

計數器

4位元二進同步計數器



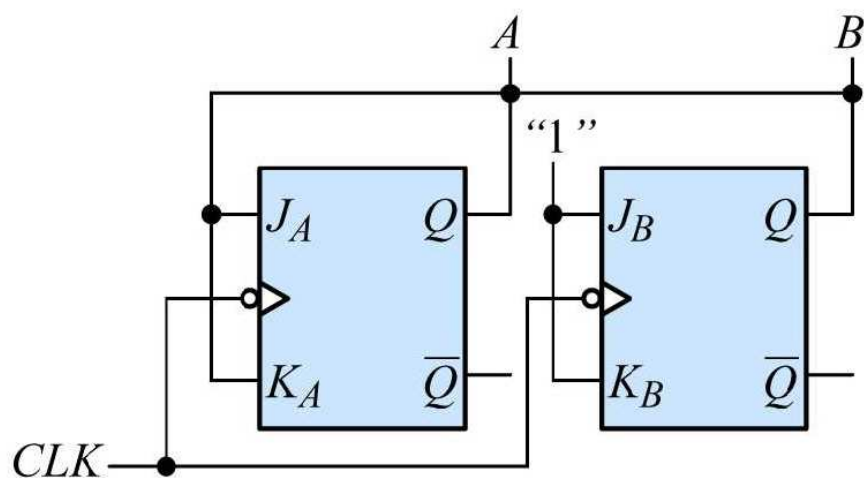
時序	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0



9-3

計數器

※ 同步計數器的分析



(a) 同步計數器

現態 Q_n		正反器輸入				次態 Q_{n+1}	
B	A	J_B	K_B	J_A	K_A	B	A
0	0						

(b) 輸出/入 狀態分析表



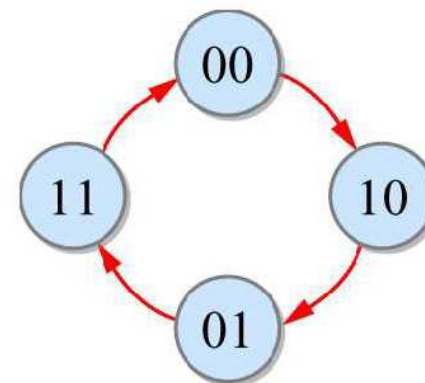
9-3

計數器

※ 狀態分析表與狀態圖

現態 Q_n		正反器輸入				次態 Q_{n+1}	
B	A	J_B	K_B	J_A	K_A	B	A
0	0	1	1	0	0	1	0
1	0	1	1	1	1	0	1
0	1	1	1	0	0	1	1
1	1	1	1	1	1	0	0

(a) 狀態分析表



(b) 輸出狀態圖



9-3

計數器

各型正反器的激勵表

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

(a) 真值表

J	K	Q_{n+1}
0	0	0 → 0 1 → 1
0	1	0 → 0 1 → 0
1	0	0 → 1 1 → 1
1	1	0 → 1 1 → 0

(b) 狀態表

$Q_n \rightarrow Q_{n+1}$	J	K
0 0	0	×
0 1	1	×
1 0	×	1
1 1	×	0

(c) 激勵表

$Q_n \rightarrow Q_{n+1}$	T
0 0	0
0 1	1
1 0	1
1 1	0

(a) T 型正反器

$Q_n \rightarrow Q_{n+1}$	D
0 0	0
0 1	1
1 0	0
1 1	1

(b) D 型正反器

$Q_n \rightarrow Q_{n+1}$	S	R
0 0	0	×
0 1	1	0
1 0	0	1
1 1	×	0

(c) R - S 型正反器

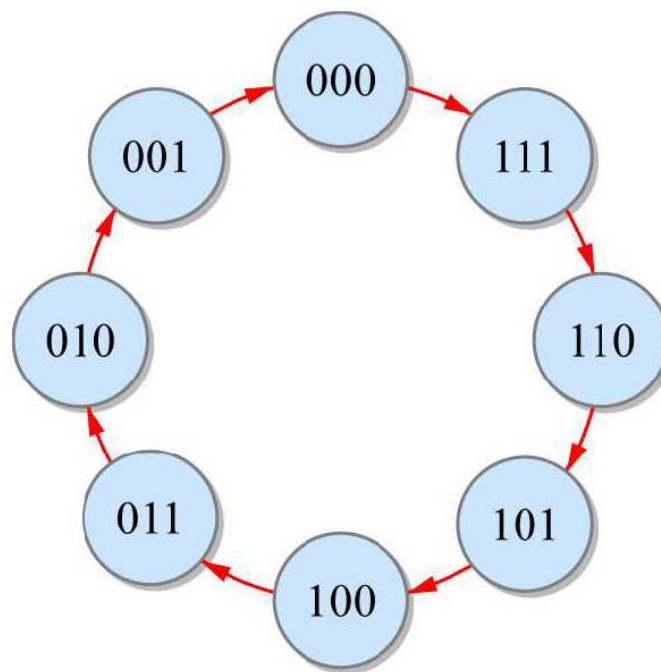


9-3

計數器

同步計數器的設計步驟

要設計一個3位元二進同步下數計數器



3位元二進下數計數器狀態圖



勁園文化事業股份有限公司
台科大圖書股份有限公司



9-3

計數器

3位元二進下數計數器狀態激勵表

現態 (Q_n)			次態 (Q_{n+1})			正反器輸入 (註)					
Q_C	Q_B	Q_A	Q_C	Q_B	Q_A	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	1	1	1	1	×	1	×	1	×
0	0	1	0	0	0	0	×	0	×	×	1
0	1	0	0	0	1	0	×	×	1	1	×
0	1	1	0	1	0	0	×	×	0	×	1
1	0	0	0	1	1	×	1	1	×	1	×
1	0	1	1	0	0	×	0	0	×	×	1
1	1	0	1	0	1	×	0	×	1	1	×
1	1	1	1	1	0	×	0	×	0	×	1

註 J_C 、 K_C 的輸入是依 $Q_{Cn} \rightarrow Q_{C(n+1)}$ 的變化來列示其激勵狀態； J_B 、 K_B 則按 $Q_{Bn} \rightarrow Q_{B(n+1)}$ 的變化來列示，依此類推。



9-3

計數器

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	1	×	×	1
	1	1	×	×	1

$$J_A = 1$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	1	1	×
	1	×	1	1	×

$$K_A = 1$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	1	0	×	×
	1	1	0	×	×

$$J_B = \bar{Q}_A$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	×	0	1
	1	×	×	0	1

$$K_B = \bar{Q}_A$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	1	0	0	0
	1	×	×	×	×

$$J_C = \bar{Q}_B \bar{Q}_A$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	×	×	×
	1	1	0	0	0

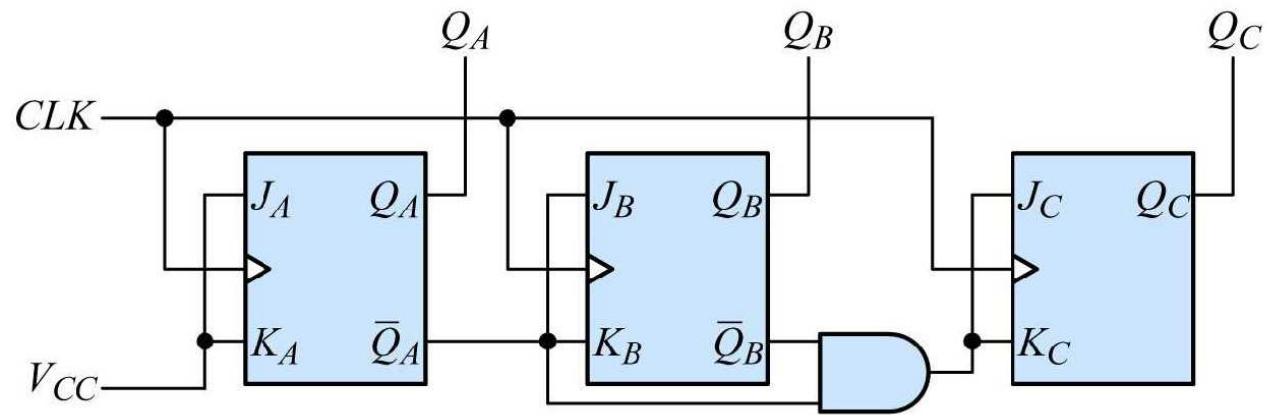
$$K_C = \bar{Q}_B \bar{Q}_A$$

卡諾圖化簡



9-3

計數器



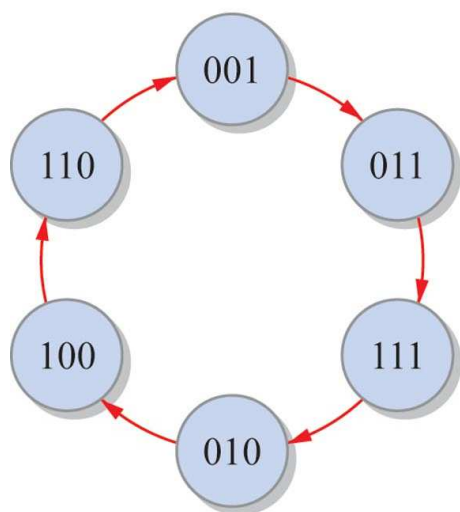
3位元二進同步下數計數器



9-3

計數器

試設計一組計數順序為 $1 \rightarrow 3 \rightarrow 7 \rightarrow 2 \rightarrow 4 \rightarrow 6 \rightarrow 1 \dots$ (循環) 的模-6計數器。



(a) 狀態圖

現態			次態			正反器輸入					
Q_C	Q_B	Q_A	Q_C	Q_B	Q_A	J_C	K_C	J_B	K_B	J_A	K_A
0	0	1	0	1	1	0	×	1	×	×	0
0	1	0	1	0	0	1	×	×	1	0	×
0	1	1	1	1	1	1	×	×	0	×	0
1	0	0	1	1	0	×	0	1	×	0	×
1	1	0	0	0	1	×	1	×	1	1	×
1	1	1	0	1	0	×	1	×	0	×	1

(b) 狀態激勵表

【接續下一頁】



9-3

計數器

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	×	×	0
	1	0	×	×	1

$$J_A = Q_C Q_B$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	0	0	×
	1	×	×	1	×

$$K_A = Q_C$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	1	×	×
	1	1	×	×	×

$$J_B = 1$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	×	0	1
	1	×	×	0	1

$$K_B = \bar{Q}_A$$

		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	0	1	1
	1	×	×	×	×

$$J_C = Q_B$$

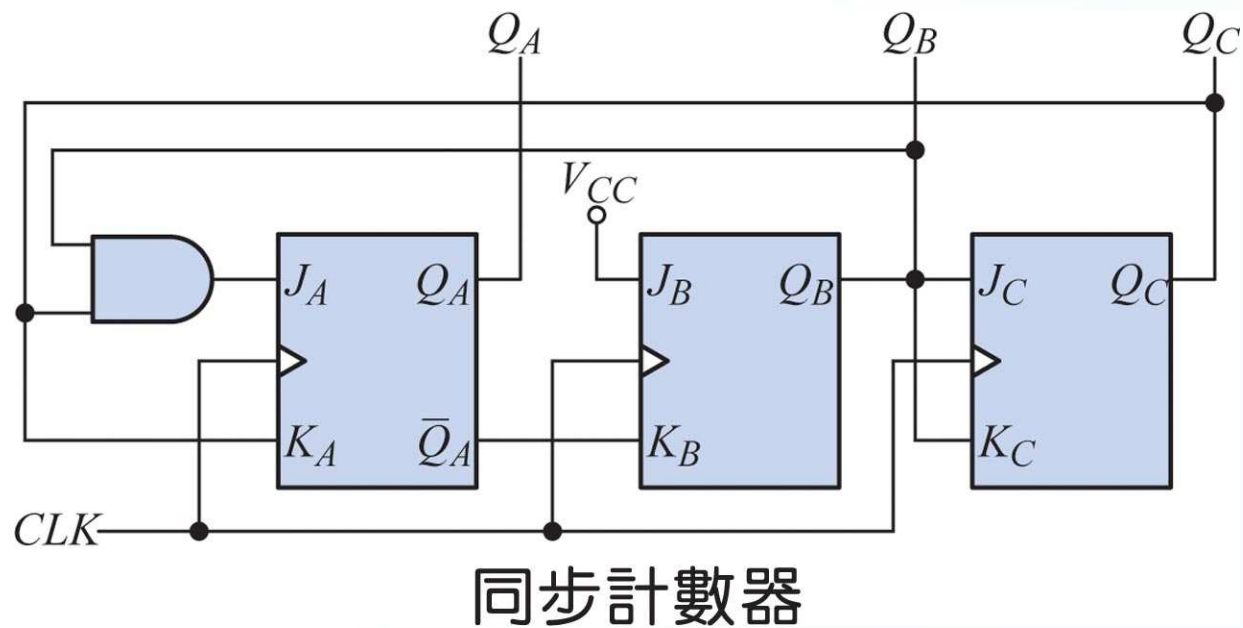
		$Q_B Q_A$			
		00	01	11	10
Q_C	0	×	×	×	×
	1	0	×	1	1

$$K_C = Q_B$$



9-3

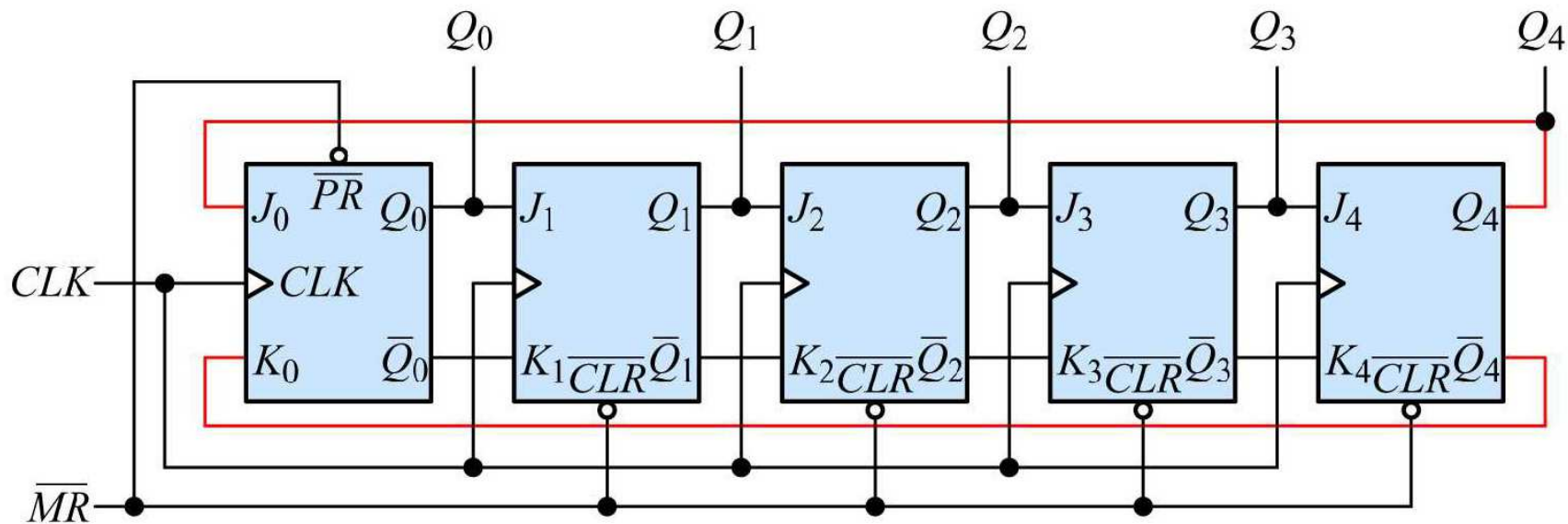
計數器



9-3

移位計數器

※ 移位計數器



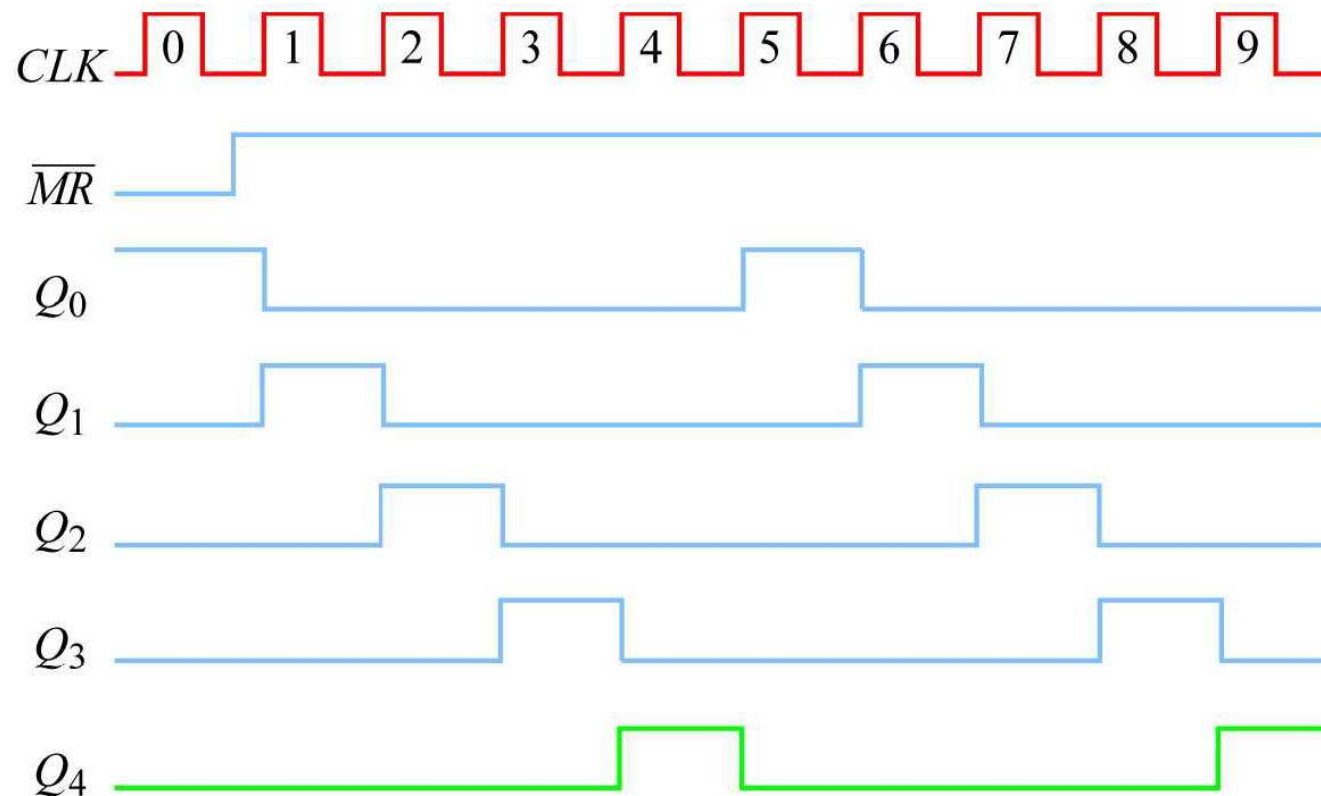
(a) 電路圖

模-5環形計數器



9-3

移位計數器



(b) 時序圖

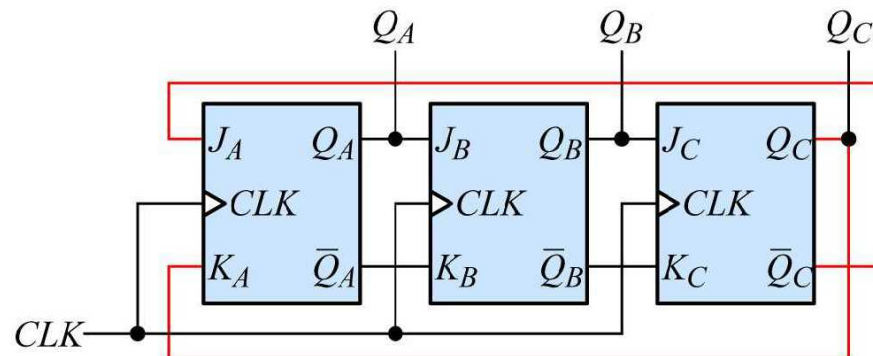
模-5環形計數器 (續)



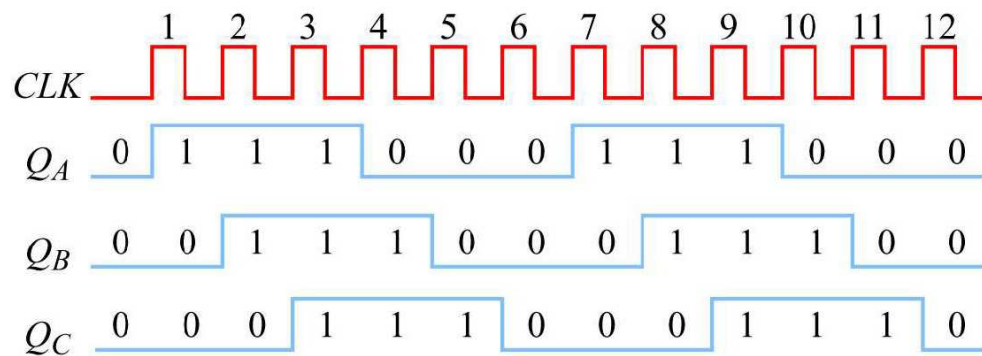
9-3



移位計數器



(a) 電路圖



(b) 時序圖

計數	Q_A	Q_B	Q_C
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
0	0	0	0

(c) 真值表

模-6強森計數器

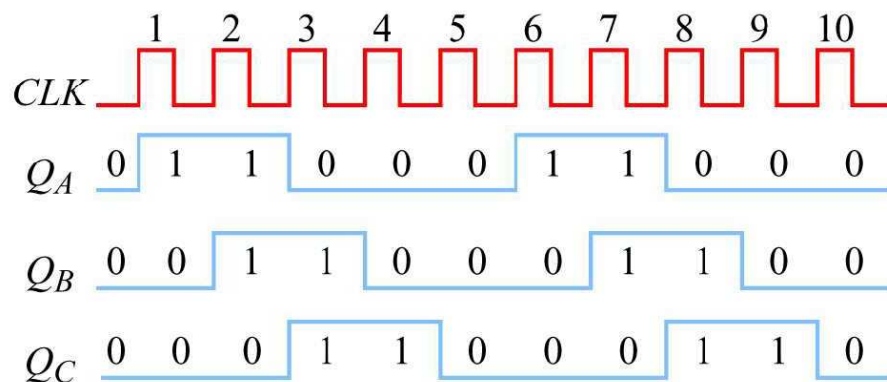
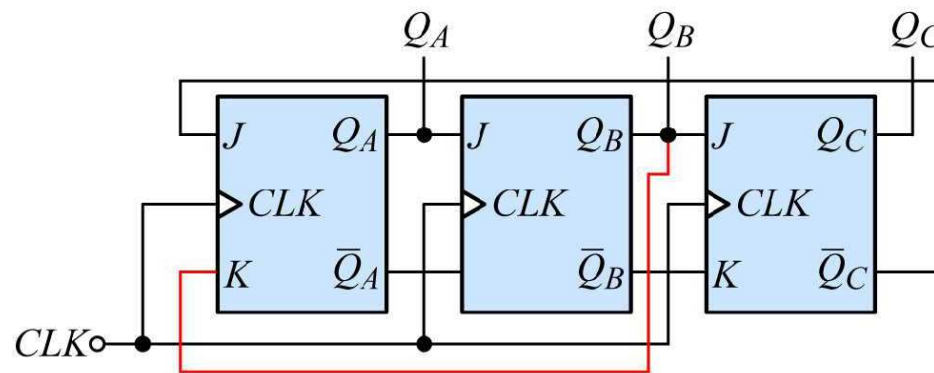


勁園文化事業股份有限公司
台科大圖書股份有限公司



9-3

移位計數器



計數	QA	QB	QC
0	0	0	0
1	1	0	0
2	1	1	0
3	0	1	1
4	0	0	1

循環

模-5強森計數器

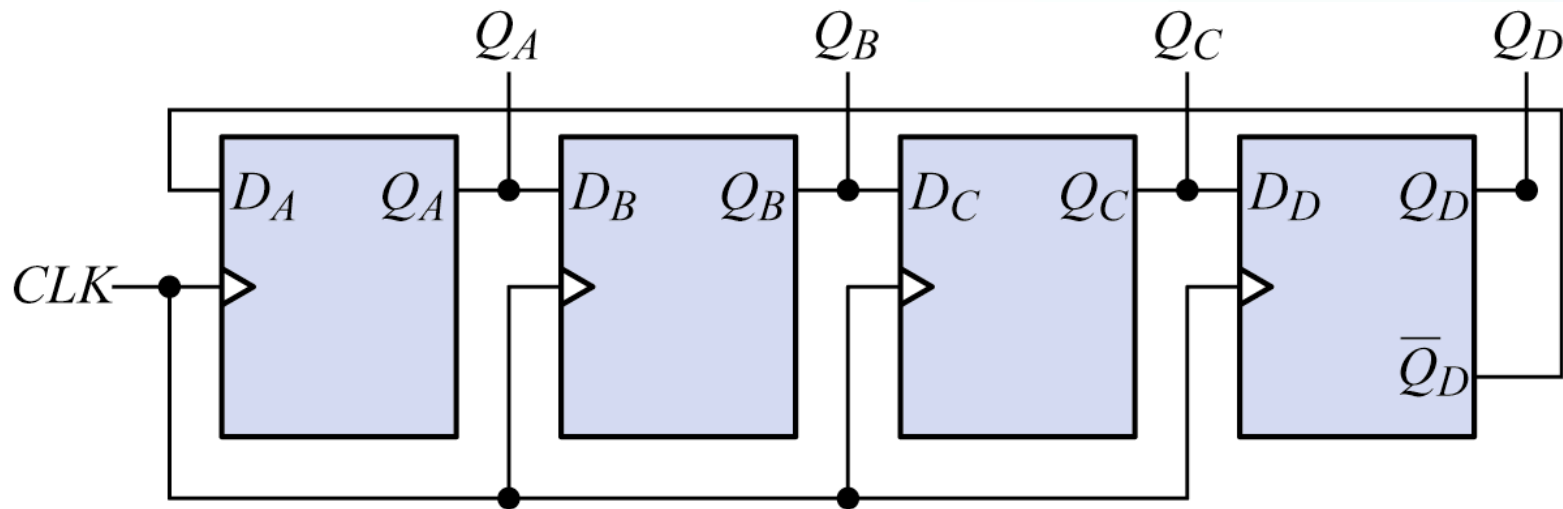


9-3

移位計數器



如圖所示計數器，其有哪些輸出狀態？



數位邏輯

第10章循序邏輯的應用

10-1 計數器的應用

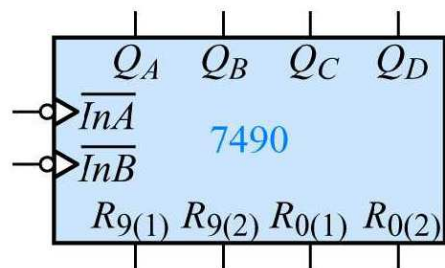
10-2 移位暫存器的應用



10-1

計數器的應用

BCD計數器—7490



作BCD記數時，
 Q_A 應接回 InB 。

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

重設輸入				輸出			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	×	L	L	L	L
H	H	×	L	L	L	L	L
×	×	H	H	H	L	L	H
×	L	X	L	COUNT			
L	×	L	×	COUNT			
L	×	×	L	COUNT			
×	L	L	×	COUNT			

(a) 方塊圖

(b) 計數真值表

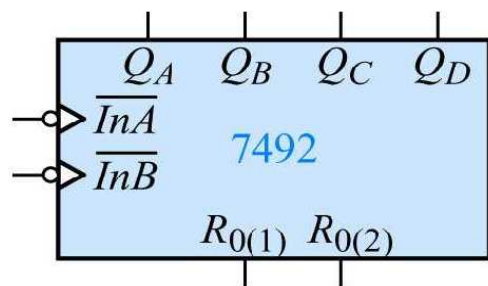
(c) 重設與預設真值表



10-1

計數器的應用

模-12計數器—7492



真值表所示為 Q_A 接回 InB 的計數狀態。

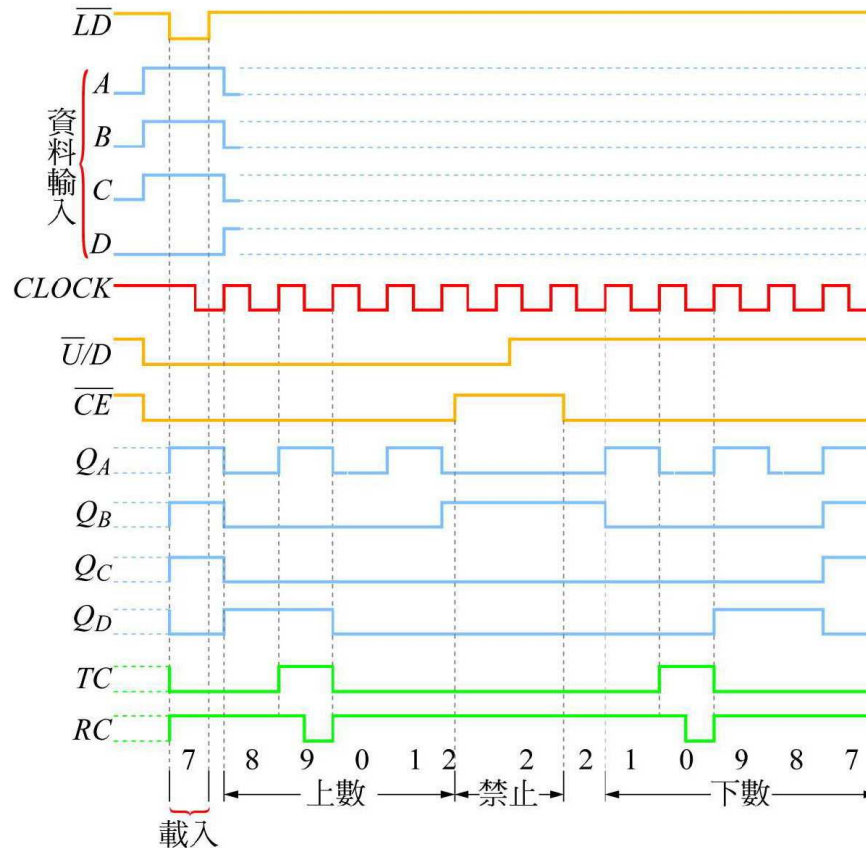
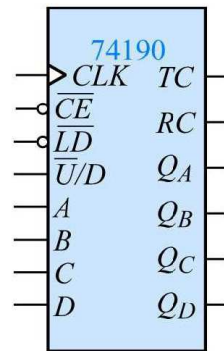
COUNT	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	1	0	0	0
7	1	0	0	1
8	1	0	1	0
9	1	0	1	1
10	1	1	0	0
11	1	1	0	1



10-1

計數器的應用

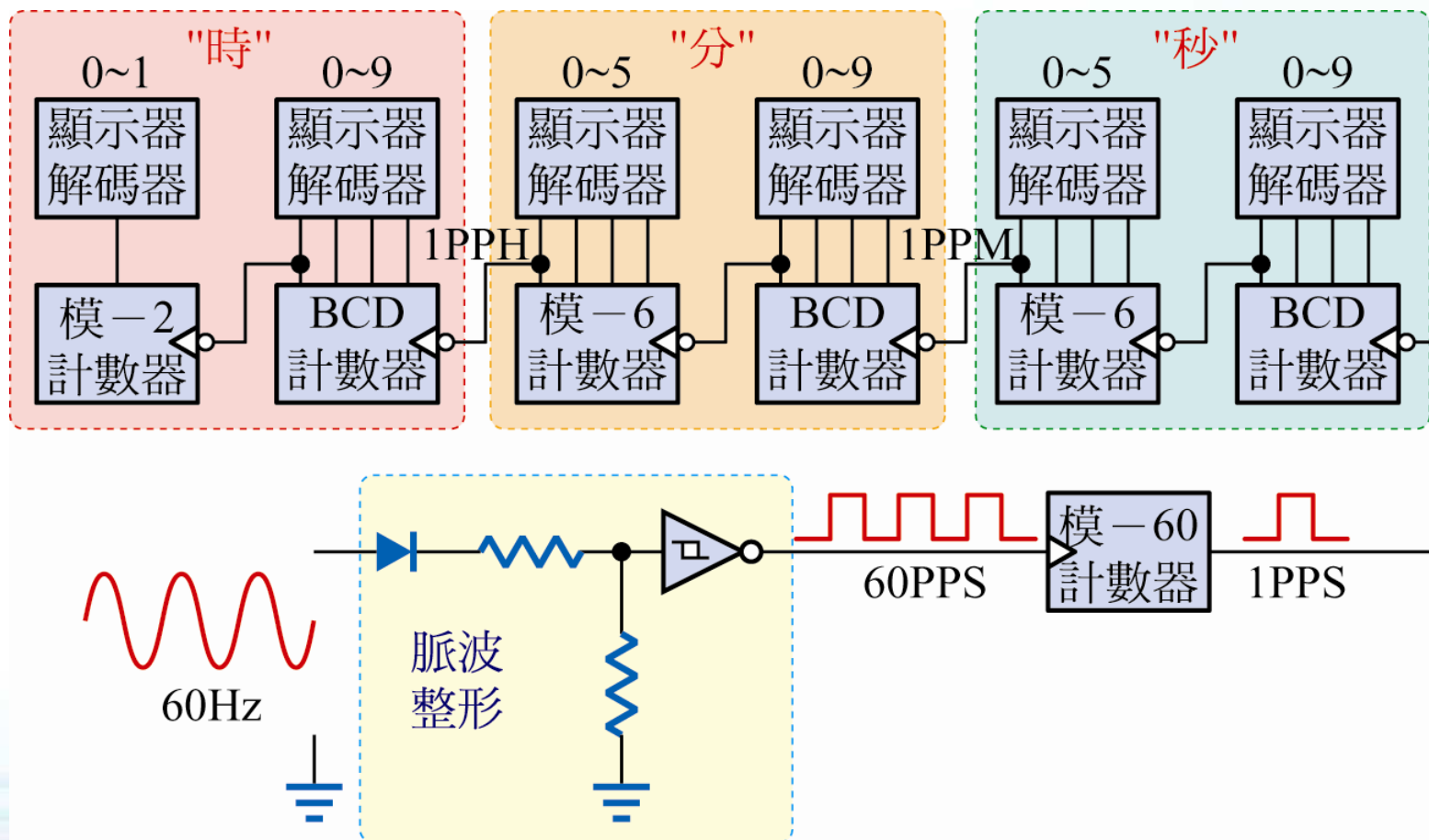
可預設BCD上數／下數計數器－74190



10-1

計數器的應用

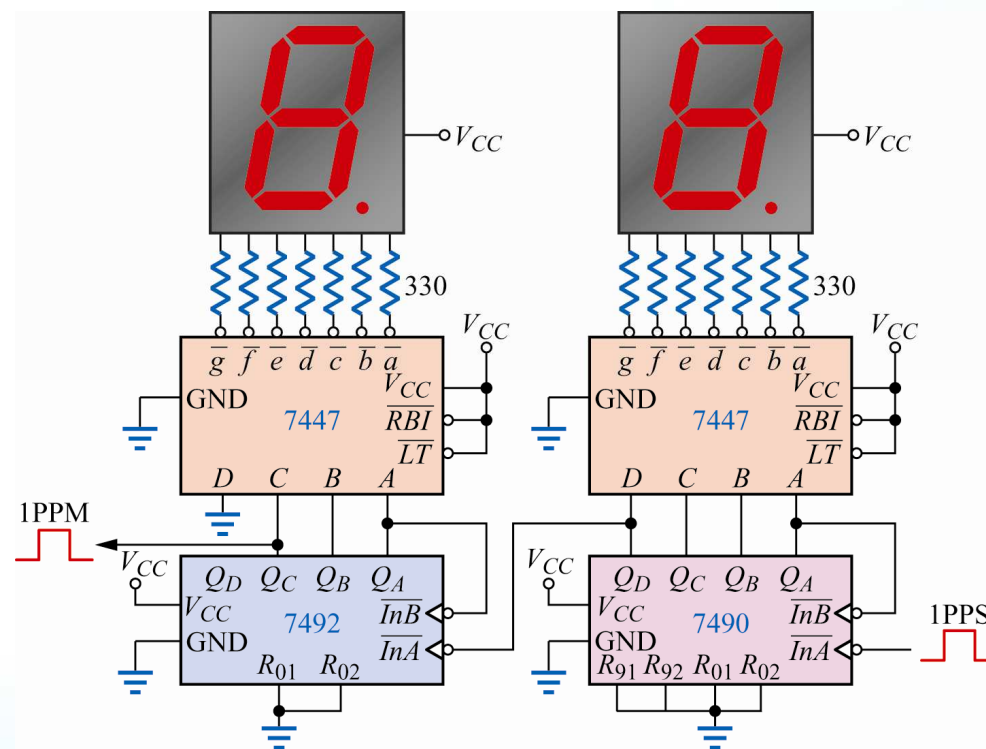
數字鐘



10-1

計數器的應用

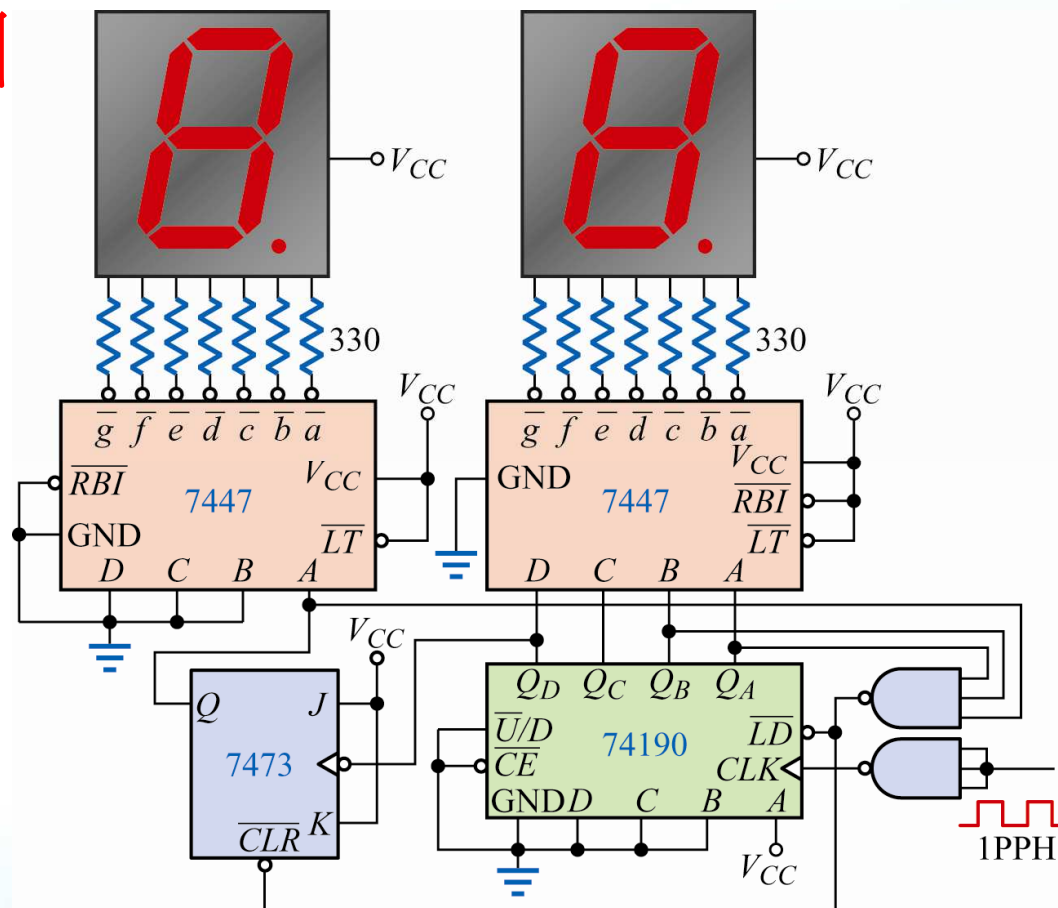
“秒”和“分”的計時電路



10-1

計數器的應用

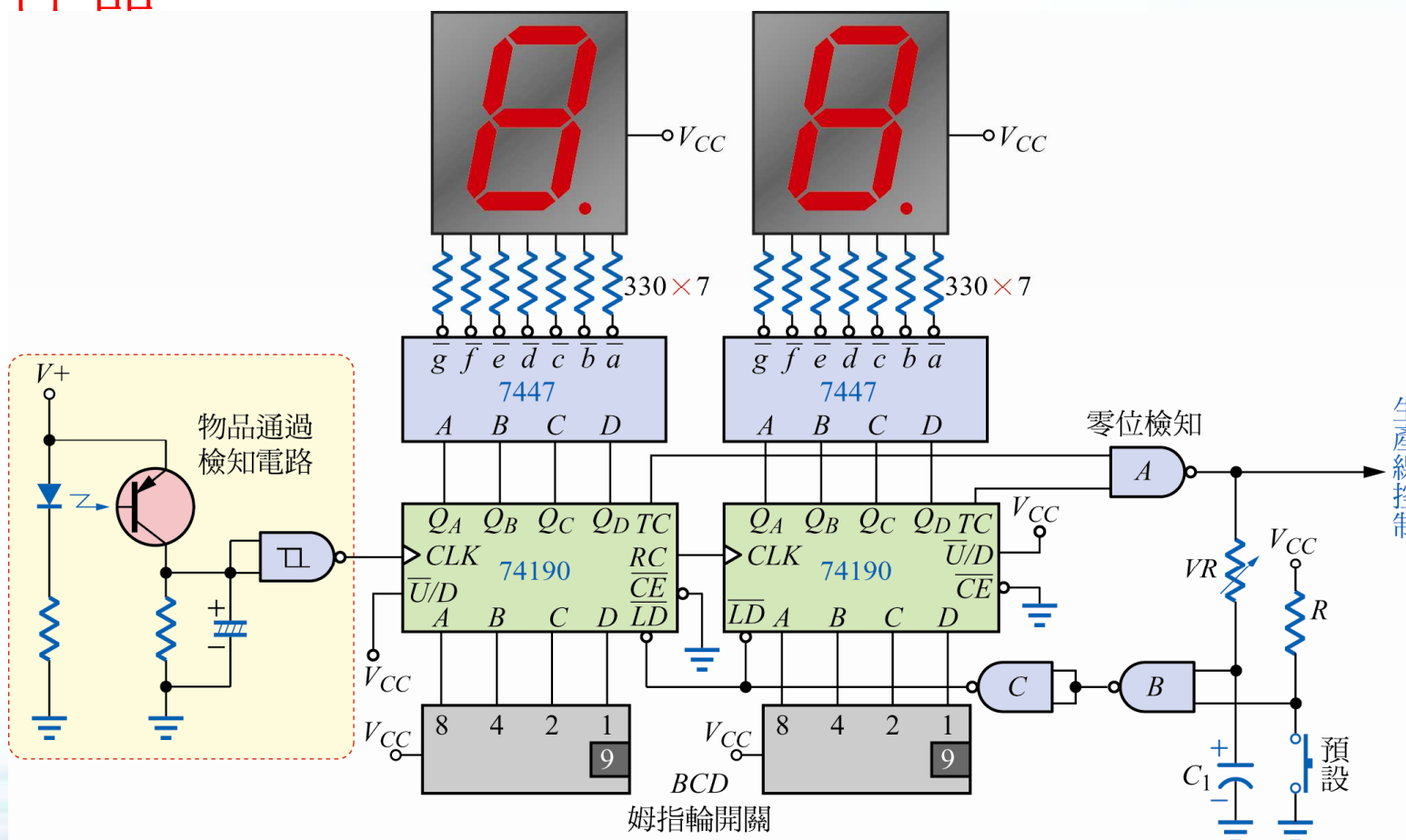
“時”部門電路圖



10-1

計數器的應用

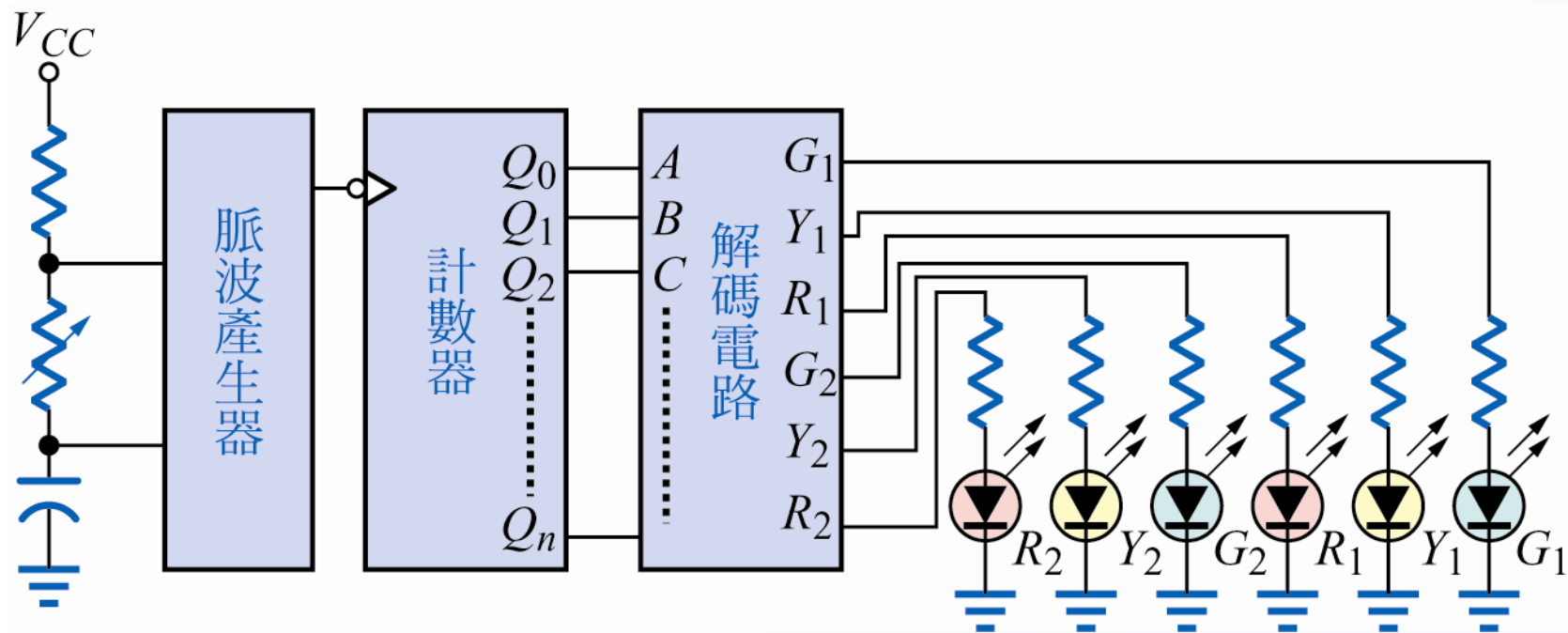
※計件器



10-1

交通號誌

計數器的應用



交通號誌方塊圖



10-1

計數器的應用

十進數	計數器輸出				號 誌					
	D	C	B	A	G ₁	Y ₁	R ₁	G ₂	Y ₂	R ₂
0	0	0	0	0	1	0	0	0	0	1
1	0	0	0	1	1	0	0	0	0	1
2	0	0	1	0	1	0	0	0	0	1
3	0	0	1	1	1	0	0	0	0	1
4	0	1	0	0	1	0	0	0	0	1
5	0	1	0	1	1	0	0	0	0	1
6	0	1	1	0	1	0	0	0	0	1
7	0	1	1	1	0	1	0	0	0	1
8	1	0	0	0	0	0	1	1	0	0
9	1	0	0	1	0	0	1	1	0	0
10	1	0	1	0	0	0	1	1	0	0
11	1	0	1	1	0	0	1	1	0	0
12	1	1	0	0	0	0	1	1	0	0
13	1	1	0	1	0	0	1	1	0	0
14	1	1	1	0	0	0	1	1	0	0
15	1	1	1	1	0	0	1	0	1	0

交通號誌控制真值表



10-1

計數器的應用

$$G_1 = \overline{D}\overline{C} + \overline{D}\overline{B} + \overline{D}\overline{A} = \overline{D}(\overline{C} + \overline{B} + \overline{A}) = \overline{D}(\overline{CBA})$$

$$Y_1 = \overline{D}CBA$$

$$R_1 = D$$

$$G_2 = D\overline{C} + D\overline{B} + D\overline{A} = D(\overline{C} + \overline{B} + \overline{A}) = D(\overline{CBA})$$

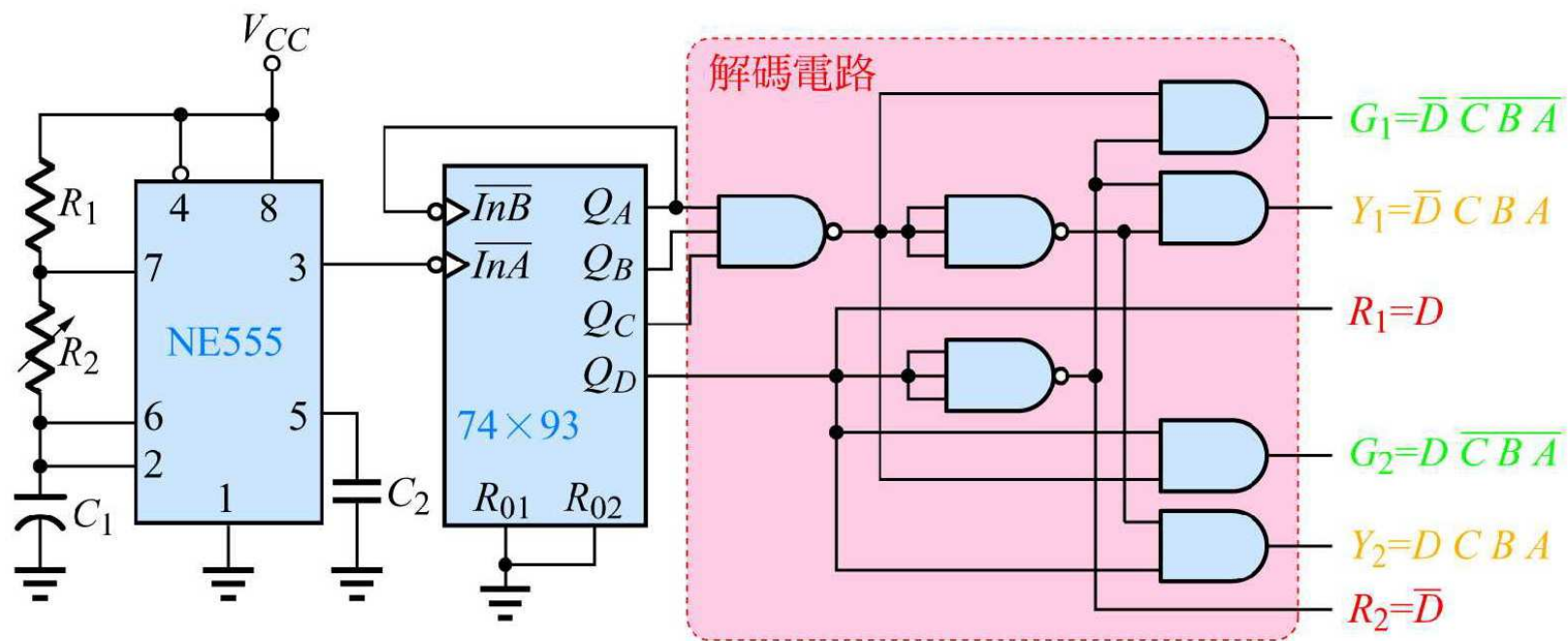
$$Y_2 = DCBA$$

$$R_2 = \overline{D}$$



10-1

計數器的應用



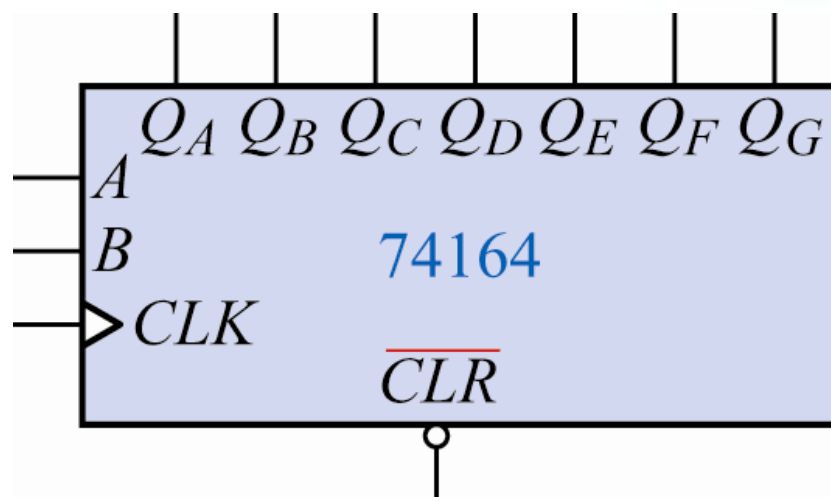
交通號誌控制電路



10-2

移位暫存器的應用

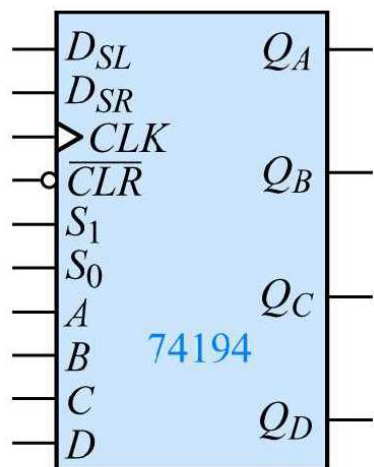
8位元串列移位暫存器－74164



10-2

移位暫存器的應用

4位元通用暫存器 – 74194



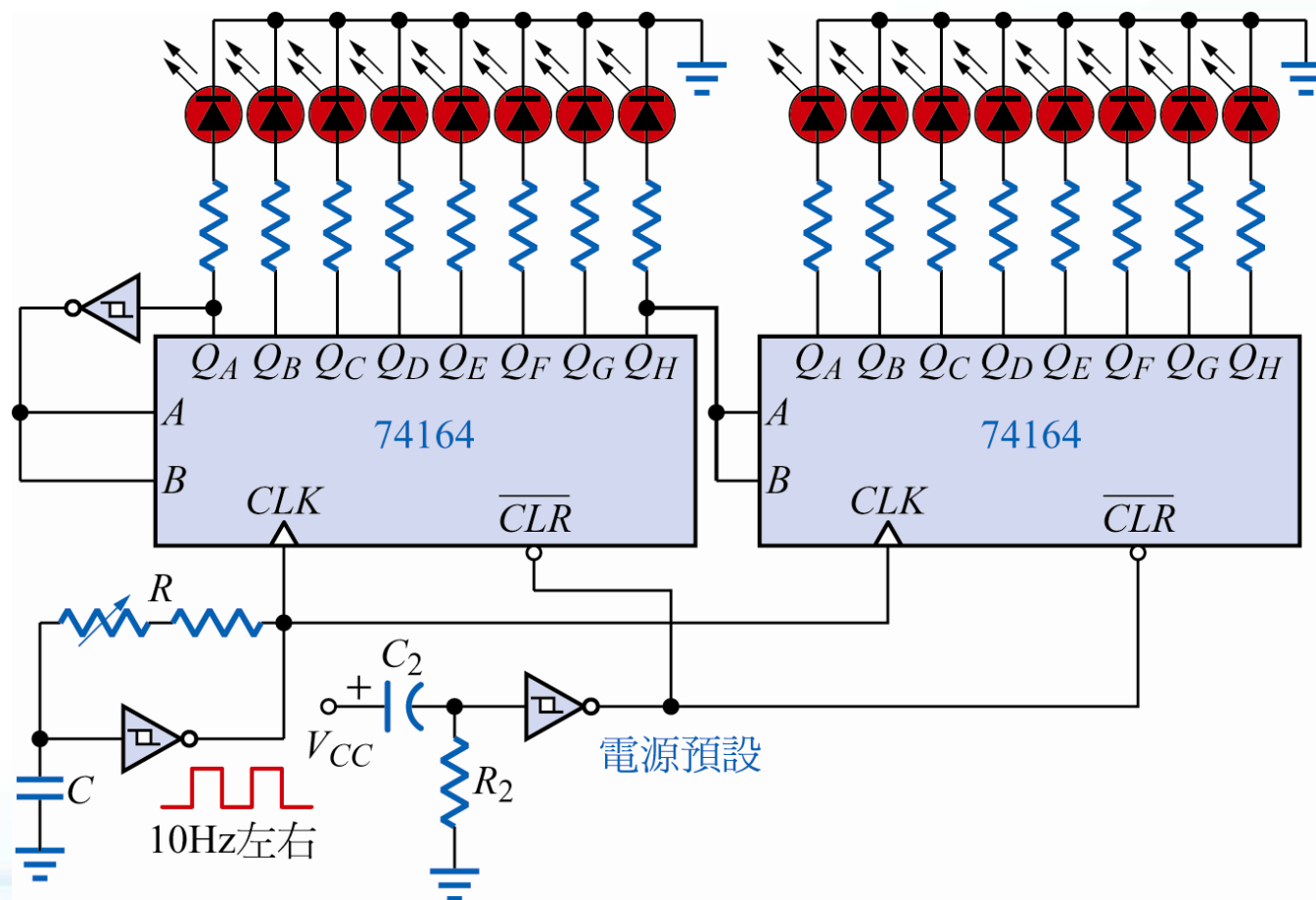
輸 入										輸 出			
\overline{CLR}	S_1	S_0	CLK	D_{SR}	D_{SL}	A	B	C	D	Q_A	Q_B	Q_C	Q_D
L	×	×	×	×	×	×	×	×	×	L	L	L	L
H	×	×	L	×	×	×	×	×	×	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	H	H	↑	×	×	a	b	c	d	a	b	c	d
H	L	H	↑	H	×	×	×	×	×	H	Q_{An}	Q_{Bn}	Q_{Cn}
H	L	H	↑	L	×	×	×	×	×	L	Q_{An}	Q_{Bn}	Q_{Cn}
H	H	L	↑	×	H	×	×	×	×	Q_{Bn}	Q_{Cn}	Q_{Dn}	H
H	H	L	↑	×	L	×	×	×	×	Q_{Bn}	Q_{Cn}	Q_{Dn}	L
H	L	L	×	×	×	×	×	×	×	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}



10-2

移位暫存器的應用

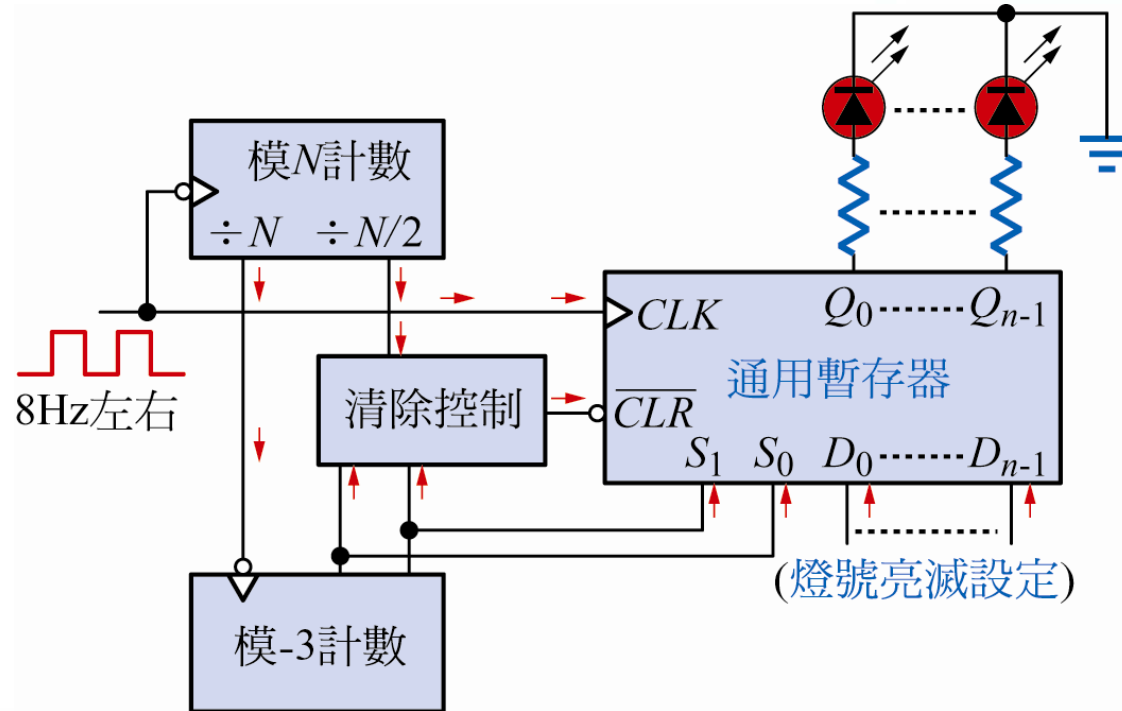
走馬燈



10-2

廣告燈

移位暫存器的應用

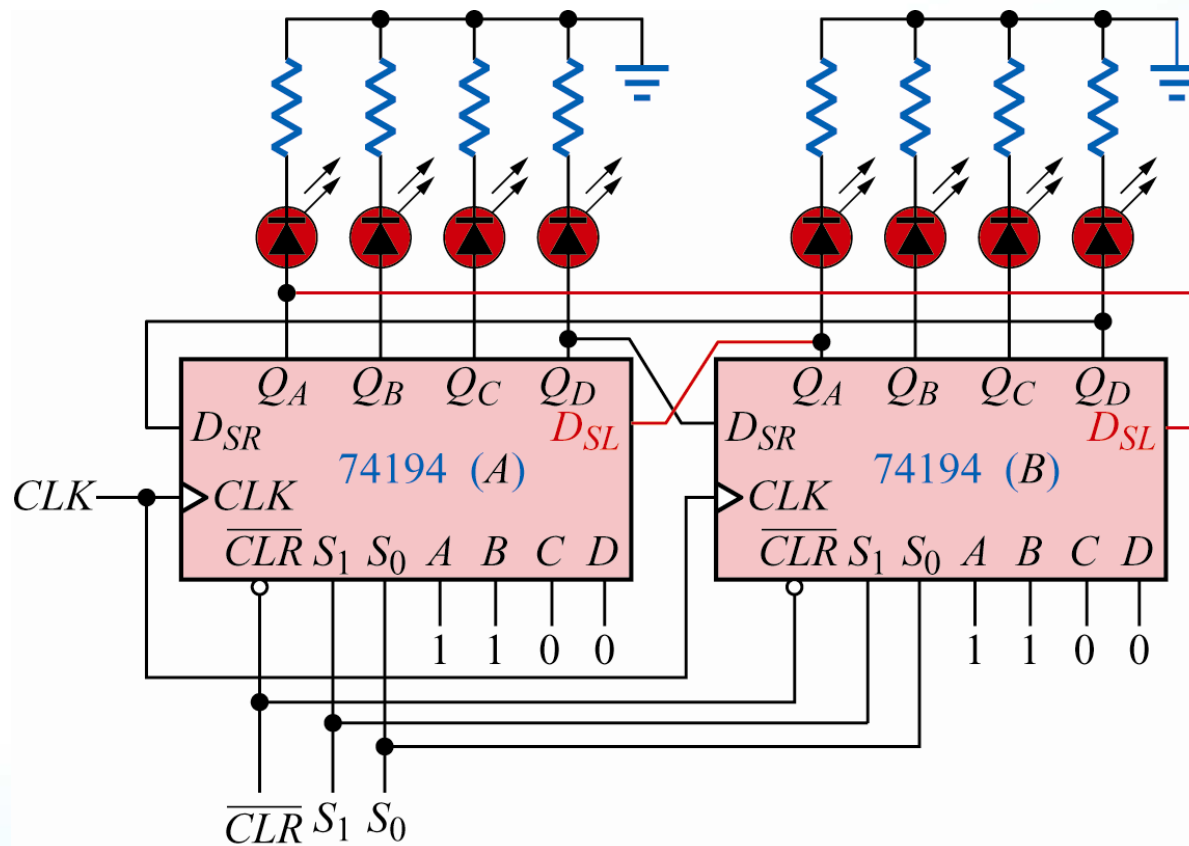


廣告燈方塊圖



10-2

移位暫存器的應用



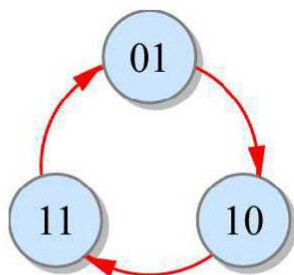
8位元通用暫存器電路



10-2

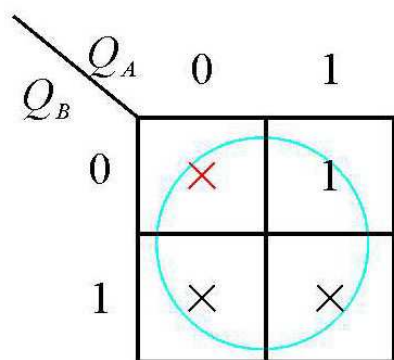
移位暫存器的應用

模-3計數器的設計

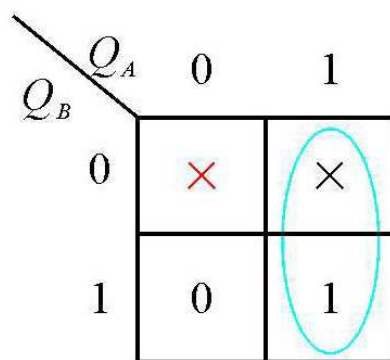


現 態		次 態		各正反器輸入			
Q_B	Q_A	Q_B	Q_A	J_B	K_B	J_A	K_A
0	1	1	0	1	×	×	1
1	0	1	1	×	0	1	×
1	1	0	1	×	1	×	0

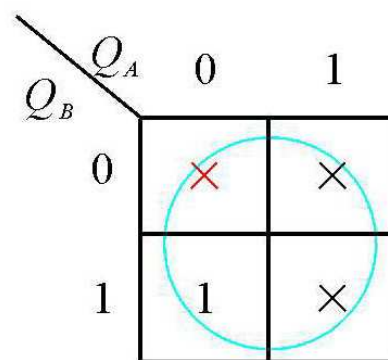
模-3計數器的狀態圖與狀態激勵表



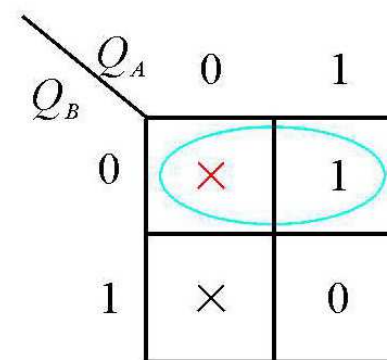
$$J_B = 1$$



$$K_B = Q_A$$



$$J_A = 1$$



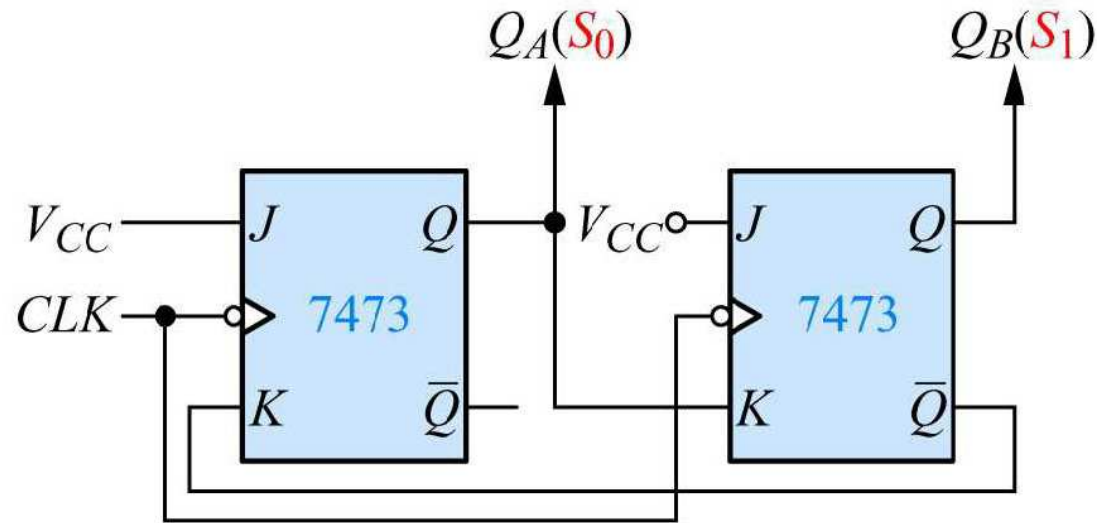
$$K_A = \bar{Q}_B$$



10-2

移位暫存器的應用

模-3計數器的設計



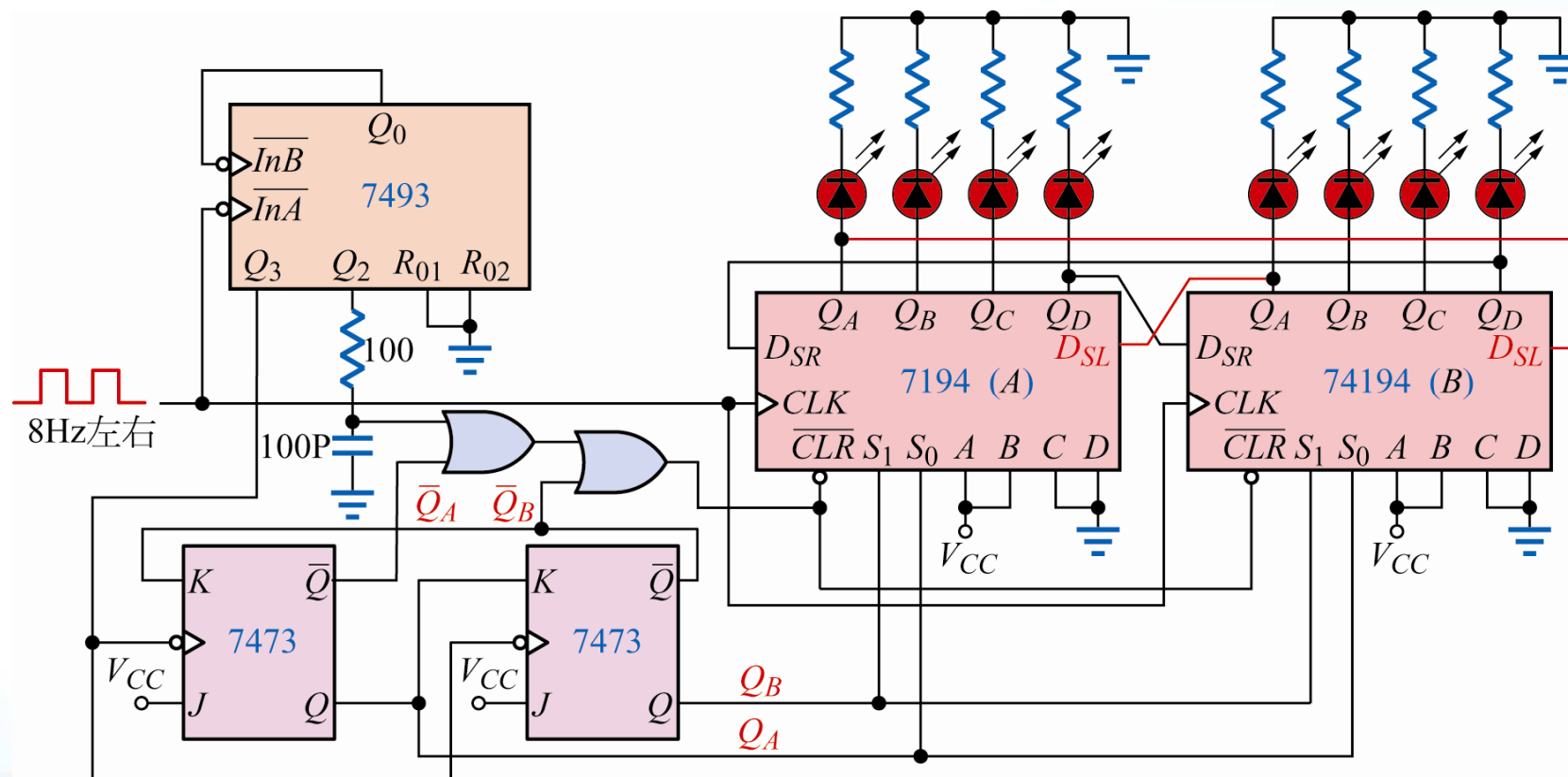
模-3計數器



10-2

移位暫存器的應用

廣告燈電路



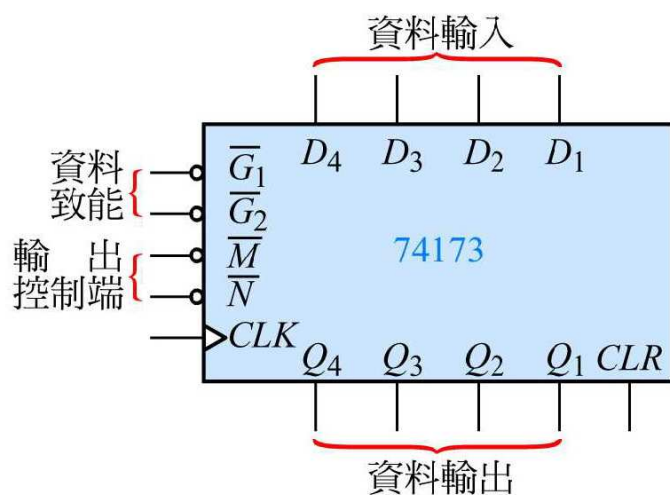
廣告燈全圖



10-2

移位暫存器的應用

三態暫存器



(a)方塊圖

清除 <i>CLR</i>	時序 <i>CLK</i>	輸入		資料 <i>D</i>	輸出 <i>Q</i>
		資料致能 \overline{G}_1	資料致能 \overline{G}_2		
<i>H</i>	×	×	×	×	<i>L</i>
<i>L</i>	<i>L</i>	×	×	×	Q_0
<i>L</i>	↑	<i>H</i>	×	×	Q_0
<i>L</i>	↑	×	<i>H</i>	×	Q_0
<i>L</i>	↑	<i>L</i>	<i>L</i>	<i>L</i>	<i>L</i>
<i>L</i>	↑	<i>L</i>	<i>L</i>	<i>H</i>	<i>H</i>

\overline{M} 或 \overline{N} 為1，輸出為高阻抗狀態，惟有兩者皆為0，才正常輸出； Q_0 表不變。

(b)真值表

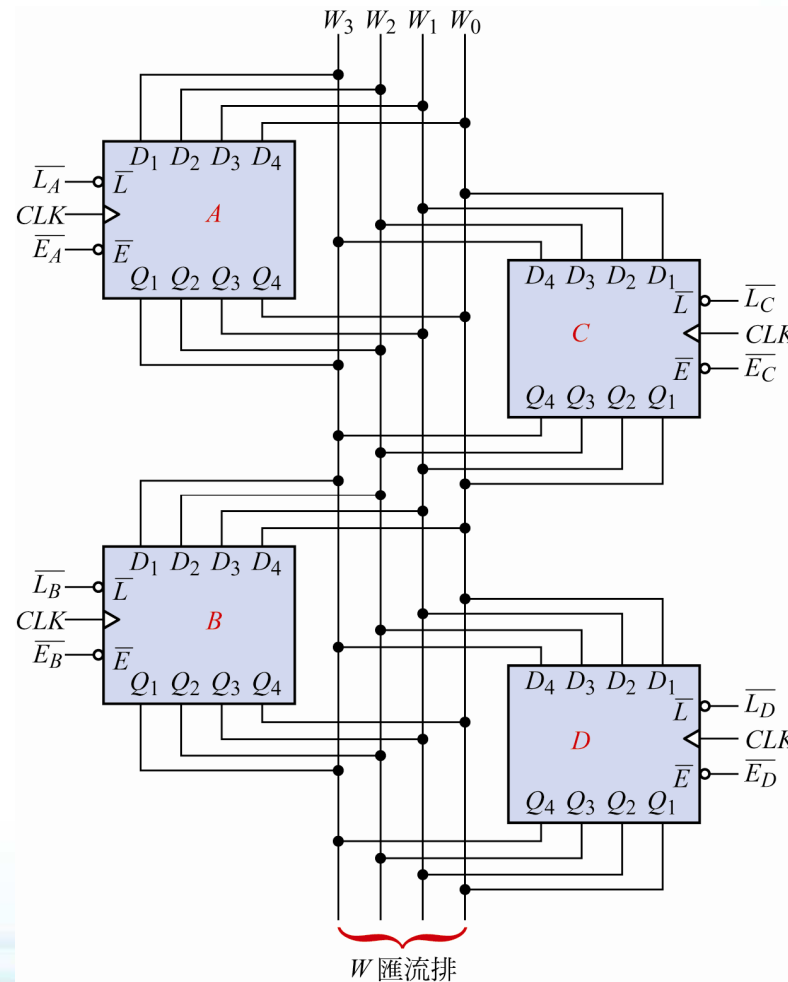
74173的方塊圖與真值表



10-2

三態暫存器

移位暫存器的應用



暫存器與匯流排結構

